

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168346

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 29/786  
H01L 21/336  
G02F 1/1368  
G03F 7/20  
G03F 7/40  
G09F 9/30  
H01L 21/027  
H01L 21/3065

(21)Application number : 2000-277941

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.09.2000

(72)Inventor : TAKEHASHI NOBUITSU  
TSUTSU HIROSHI  
KAWAKITA TETSUO  
TAKETOMI YOSHINAO

(30)Priority

Priority number : 11262119 Priority date : 16.09.1999 Priority country : JP  
11278687 30.09.1999

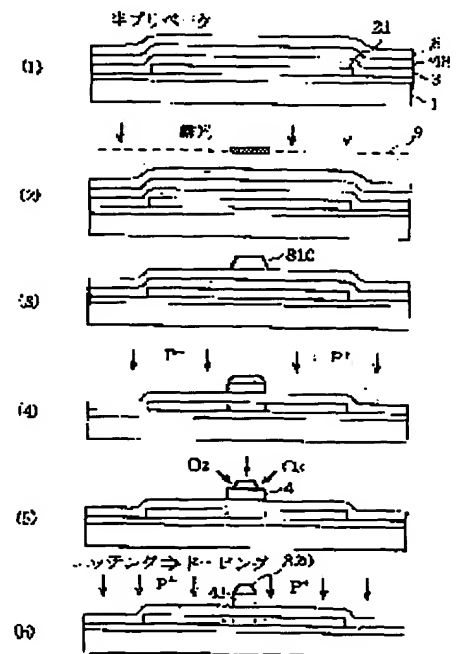
JP

## (54) THIN FILM TRANSISTOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To form a number of fine and accurate thin film transistors of an LDD structure on a substrate to be used for a liquid crystal display device, etc.

SOLUTION: A gate electrode is used as a mask during implantation of impurities. Implantation of impurities is carried out in two implantations. In first and second implantations, the size of a gate electrode is changed in accordance with LDD length. Metal oxidation and dry etching are employed as a means for changing the size of a gate electrode to be used as a mask during implantation of impurities. Photoresist is improved for performing dry etching for a gate electrode accurately.



## LEGAL STATUS

[Date of request for examination]

13.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-168346  
(P2001-168346A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 29/786		G 0 3 F 7/20	5 0 1
21/336		7/40	
G 0 2 F 1/1368		G 0 9 F 9/30	3 3 8
G 0 3 F 7/20	5 0 1	H 0 1 L 29/78	6 1 6 A
7/40		G 0 2 F 1/136	5 0 0
審査請求 有 請求項の数52 O L (全 26 頁) 最終頁に続く			

(21)出願番号 特願2000-277941(P2000-277941)

(22)出願日 平成12年9月13日(2000.9.13)

(31)優先権主張番号 特願平11-262119

(32)優先日 平成11年9月16日(1999.9.16)

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平11-278687

(32)優先日 平成11年9月30日(1999.9.30)

(33)優先権主張国 日本(J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 竹橋 信逸

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 筒 博司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100101823

弁理士 大前 要

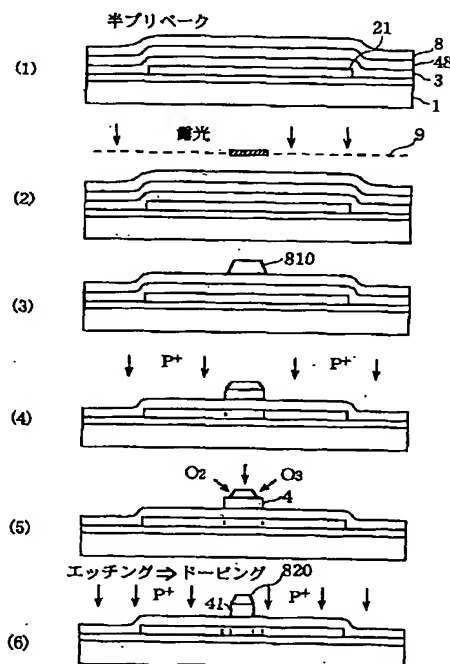
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ及びその製造方法

## (57)【要約】

【課題】 液晶表示装置等に用いるため、微小かつ多数の精度のよいLDD構造の薄膜トランジスタを基板上に配列して形成する。

【解決手段】 ゲート電極を、不純物を注入する際のマスクとする。LDD構造とするため、不純物を2回に分けて注入する。第1回目と第2回目の注入時で、ゲート電極の寸法をLDD長さに対応して変える。不純物を注入する際のマスクとして使用するゲート電極の寸法を変える手段として、金属酸化やドライエッチングを利用する。ゲート電極のドライエッチングを精度よく行なうため、フォトリジストに工夫を凝らす。



## 【特許請求の範囲】

【請求項1】 レジストを使用してゲート電極形成用金属膜より仮のゲート電極を形成する仮のゲート電極形成ステップと、

仮のゲート電極の形成に使用したレジストが上部に在る状態で仮のゲート電極をマスクに半導体層に高濃度で不純物を注入する第1回目の不純物注入ステップと、エッチングによりレジストのチャンネル方向両端面を中心寄りに後退させて、仮のゲート電極のチャンネル方向両端部の表面を露出させる孤立レジストエッチングステップと、

残ったレジストをマスクに露出した仮のゲート電極の両端部をエッチングで除去する仮のゲート電極両端除去ステップと、

仮のゲート電極の両端を除去されて形成されたゲート電極をマスクに半導体層に低濃度で不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

【請求項2】 ゲート電極形成用金属膜のパターニングを行うためゲート電極に対応する位置に形成されたレジストのゲート電極部チャンネル方向側面を、下拡がりのテーパーを有する形状に加工するレジスト端側面加工ステップと、

テーパー形状に加工されたレジストをマスクにゲート電極形成用金属膜をエッチングして仮のゲート電極を形成する仮のゲート電極形成ステップと、

端面がテーパー形状のレジスト下部に仮のゲート電極が形成された状態で仮のゲート電極をマスクに半導体層に高濃度で不純物を注入する第1回目の不純物注入ステップと、

端面がテーパー形状のレジスト下部にエッチングにより中心寄りに仮のゲート電極を後退させて、ゲート電極のチャンネル方向両端部の表面を露出させる孤立レジストエッチングステップと、

残ったレジストをマスクに露出したゲート電極の両端部を除去する仮のゲート電極両端除去ステップと、

両端を除去して形成されたゲート電極をマスクに半導体層に低濃度で不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

【請求項3】 前記レジスト端側面加工ステップは、ゲート電極形成用金属膜上でパターン化されたレジストの形状を加熱溶融により半球状にするレジスト球化ステップであることを特徴とする請求項2に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項4】 前記レジスト端側面加工ステップは、ゲート電極形成用の金属膜上にパターン化して形成されたレジストを、レジスト材料が変形しないことから定まるポストベーク温度より高い所定の温度に晒して上部を収縮させる熱収縮ステップであることを特徴とする請求

項2に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項5】 前記レジスト端側面加工ステップは、ゲート電極形成用金属膜上に塗布されたレジストのプリベークをその材料より定まるプリベーク条件温度より低い温度で行う低温プリベーク小ステップを有していることを特徴とする請求項2に記載のLDD構造の薄膜トランジスタの製造方法。

10 【請求項6】 前記レジスト端側面加工ステップは、前記低温プリベーク小ステップに加えて更に、フォトリソグラフィにてゲート電極形成用金属膜のパターニングを行う際に、レジストに対して露光焦点をずらし露光する焦点ずらし露光小ステップを有していることを特徴とする請求項5に記載のLDD構造の薄膜トランジスタの製造方法。

20 【請求項7】 前記レジスト端側面加工ステップは、前記低温プリベーク小ステップと焦点ずらし露光小ステップに加えて更に、フォトリソグラフィにてゲート電極形成用金属膜のパターニングをする際、これに用いるフォトマスクとしてぬきパターンのフォトマスクとし、フォトレジストとしてはネガ型のものを使用するぬきパターンフォトマスク使用露光小ステップを有していることを特徴とする請求項6に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項8】 前記レジスト端側面加工ステップは、面積比例型の化学反応を利用するレジスト端頂面除去ステップであることを特徴とする請求項2に記載のLDD構造の薄膜トランジスタの製造方法。

30 【請求項9】 前記仮のゲート電極形成ステップは、ゲート電極用金属膜上にポストベークの温度が高い第1のレジストを塗布する第1回目のレジスト塗布小ステップと、

第1のレジスト上に第1のレジストよりポストベークの温度が低い第2のレジストを積層塗布する第2回目のレジスト塗布小ステップと、

上記第1のレジストと上記第2のレジストを共に電極形成用マスクを使用して露光し、その後現像する露光現像小ステップと、

40 上記第1のレジストが変形しないことから定まるポストベーク温度でポストベークを行う高温ベーク小ステップと、

上記第1と第2のレジストをマスクにゲート電極形成用の金属膜のパターニングを行い仮のゲート電極を形成する仮のゲート電極パターニング小ステップを有していることを特徴とする請求項1に記載のLDD構造の薄膜トランジスタの製造方法。

50 【請求項10】 前記仮のゲート電極形成ステップは、ゲート電極形成用金属膜上に塗布されたレジストのプリベークをその材料より定まるプリベーク条件温度より低

い温度で行う低温プリベークング小ステップを有していることを特徴とする請求項 1 に記載の L D D 構造の薄膜トランジスタの製造方法。

【請求項 1 1】 前記仮のゲート電極形成ステップは、前記低温プリベークング小ステップに加えて更に、フォトリソグラフィにてゲート電極形成用金属膜のパターニングを行う際に、レジストに対して露光焦点をずらし露光する焦点ずらし露光小ステップを有していることを特徴とする請求項 1 0 に記載の L D D 構造の薄膜トランジスタの製造方法。

【請求項 1 2】 前記仮のゲート電極形成ステップは、前記低温プリベークング小ステップと焦点ずらし露光小ステップに加えて更に、フォトリソグラフィにてゲート電極形成用金属膜のパターニングをする際、これに用いるフォトマスクとしてはネガ型のものを使用するぬきパターンフォトマスク使用露光小ステップを有していることを特徴とする請求項 1 1 に記載の L D D 構造の薄膜トランジスタの製造方法。

【請求項 1 3】 前記孤立レジストエッチングステップに先立って、仮のゲート電極上に形成されたレジストに融点あるいは軟化点以上の常温に晒して、その表面を半球状に溶融変形させる孤立レジスト半球化ステップを有していることを特徴とする請求項 1 に記載の L D D 構造の薄膜トランジスタの製造方法。

【請求項 1 4】 前記孤立レジスト半球化ステップに先立って、レジストとしてメルトフロー型レジストを選定するメルトフローレジスト選定ステップを有していることを特徴とする請求項 1 3 に記載の L D D 構造の薄膜トランジスタの製造方法。

【請求項 1 5】 前記孤立レジストエッチングステップに先立って、ゲート電極上に形成されたレジストに該レジスト材料が変形しないことから定まるポストベーク温度より高い所定の温度を加えて、その上部表面を収縮させて、レジストの端面に下拡がりの傾斜を与えるレジスト熱収縮ステップを有していることを特徴とする請求項 1 に記載の L D D 構造の薄膜トランジスタの製造方法。

【請求項 1 6】 前記孤立レジストエッチングステップは、レジストを、O<sub>2</sub>、オゾンの少くも 1 を含むガスでのアッシングにより少くもゲート電極チャネル方向両側端部のレジストを除去する両端アッシングステップであることを特徴とする請求項 1 ～請求項 1 5 のいずれかに記載の L D D 構造の薄膜トランジスタの製造方法。

【請求項 1 7】 レジストを使用してゲート電極形成用金属膜より仮のゲート電極を形成する仮のゲート電極形

成ステップと、仮のゲート電極の形成に使用したレジストが上部に在る状態で仮のゲート電極をマスクに半導体層に高濃度で不純物を注入する不純物注入ステップと、

前記仮のゲート電極形成ステップの前又は前記不純物注入ステップの前若しくは後に、上記仮のゲート電極の形成に使用するあるいは使用したレジストのチャネル方向両端面に下拡がりの形状を形成するレジスト端面傾斜化ステップと、

10 エッチングによりレジストのチャネル方向端面を中心寄りに後退させて、仮のゲート電極のチャネル方向両端部の表面を露出させるレジストエッチングステップと、残ったレジストをマスクに露出した仮のゲート電極の両端部をエッチングで除去するゲート電極形成ステップとを有していることを特徴とするオフセット型の薄膜トランジスタの製造方法。

【請求項 1 8】 基板上に順にゲート電極とゲート絶縁膜と半導体層を形成するボトムゲート型トランジスタ形成用基本ステップと、

20 半導体層上に不純物注入マスク用金属膜を形成する金属膜形成ステップと、金属膜上にレジスト膜を形成するレジスト膜形成ステップと、

基板の裏面側よりゲート電極を露光マスクとして上記形成されたレジスト膜を露光してパターン化するレジスト膜パターン化ステップと、

パターン化されたレジスト膜をマスクに上記不純物注入マスク用金属膜をパターン化する第 1 回目の不純物注入マスク形成ステップと、

30 形成された第 1 回目の不純物注入マスクをマスクとして、基板表面側より高濃度で不純物を注入する第 1 回目の不純物注入ステップと、

パターン化された第 1 回目の不純物注入マスク上のパターン化されたレジストを、そのチャネル方向両端の側面が中央部寄りの傾斜を有するよう処理する孤立レジスト端面傾斜化ステップと、

チャネル方向両端の側面が中央部寄りの傾斜を有するよう処理されたレジストのチャネル方向両端面を中心寄りに後退させ、その下方の第 1 回目の不純物注入マスクの両端部の表面を露出させる孤立レジストエッチングステップと、

40 残ったレジストをマスクに露出した第 1 回目の不純物注入マスクの両端露出部をエッチングで除去する第 2 回目の不純物注入マスク形成ステップと、

形成された第 2 回目の不純物注入マスクをマスクとして基板表面側より低濃度で不純物を注入する第 2 回目の不純物注入ステップとを有していることを特徴とする L D D 構造の薄膜トランジスタの製造方法。

【請求項 1 9】 基板上に順にゲート電極とゲート絶縁膜と半導体層と保護絶縁膜とを形成するボトムゲート型

トランジスタ形成用基本ステップと、  
 半導体層上に不純物注入マスク用金属膜を形成する金属  
 マスク形成ステップと、  
 金属マスク上にレジスト膜を形成するレジスト膜形成ス  
 テップと、  
 基板の裏面側よりゲート電極を露光マスクとして上記形  
 成されたレジスト膜を露光してパターン化するレジスト  
 膜パターン化ステップと、  
 パターン化されたレジスト膜をマスクに上記不純物注入  
 マスク用金属膜をパターン化する第1回目の不純物注入  
 マスク形成ステップと、  
 形成された第1回目の不純物注入マスクをマスクとし  
 て、基板表面側より高濃度で不純物を注入する第1回目  
 の不純物注入ステップと、  
 パターン化された第1回目の不純物注入マスク上のパタ  
 ーン化されたレジストを、そのチャネル方向両端の側面  
 が中央部よりの傾斜を有するよう処理する孤立レジスト  
 端面傾斜化ステップと、  
 チャネル方向両端の側面が中央部よりの傾斜を有するよ  
 う処理されたレジストのチャネル方向両端面を中心寄り  
 に後退させ、その下方の第1回目の不純物注入マスクの  
 両端部の表面を露出させる孤立レジストエッチングス  
 テップと、  
 残ったレジストをマスクに露出した第1回目の不純物注  
 入マスクの両端露出部をエッチングで除去する第2回目  
 の不純物注入マスク形成ステップと、  
 形成された第2回目の不純物注入マスクをマスクとして  
 基板表面側より低濃度で不純物を注入する第2回目の不  
 純物注入ステップとを有していることを特徴とするL D  
 D構造の薄膜トランジスタの製造方法。  
 【請求項20】 薄膜トランジスタをマトリクス状に配  
 置した薄膜トランジスタアレイを有する第1の基板と、  
 これに対向する電極を配置した第2の基板と、両基板間  
 にエレクトロルミネッセンス材料を挟持したエレクトロ  
 ルミネッセンス表示装置であって、  
 前記第1の基板に請求項1から請求項15、請求項1  
 7、請求項18若しくは請求項19のいずれかに記載し  
 た発明の薄膜トランジスタを選定してマトリクス状に配  
 置して形成する薄膜トランジスタ選定ステップを有して  
 いることを特徴とするエレクトロルミネッセンス表示装  
 置の製造方法。  
 【請求項21】 薄膜トランジスタをマトリクス状に配  
 置した薄膜トランジスタアレイを有する第1の基板と、  
 これに対向する電極を配置した第2の基板と、両基板間  
 に液晶材を挟持した液晶表示装置の製造方法であって、  
 前記第1の基板に請求項1から請求項19のいずれかに  
 記載した発明の薄膜トランジスタを選定してマトリクス  
 状に配置して形成する薄膜トランジスタ選定ステップを  
 有していることを特徴とする液晶表示装置。  
 【請求項22】 前記第2回目の不純物注入ステップ

は、  
 チャネル領域とソース領域間及びチャネル領域とドレ  
 イン領域の間の不純物濃度が低い領域の電気抵抗が20k  
 $\Omega/\square \sim 100k\Omega/\square$ となるように不純物を注入する  
 特定範囲抵抗形成目的第1回目の不純物注入ステップで  
 あることを特徴とする請求項1から請求項15、請求項  
 17、請求項18若しくは請求項19のいずれかに記載  
 の薄膜トランジスタの製造方法。

【請求項23】 上記LDD構造の薄膜トランジスタ若  
 しくはオフセット型の薄型トランジスタの半導体材料と  
 して、  
 多結晶シリコンを選定する半導体材料選定ステップを有  
 していることを特徴とする請求項1から請求項15、請  
 求項17、請求項18若しくは請求項19のいずれかに  
 記載のLDD構造の薄膜トランジスタ若しくはオフセッ  
 ト型の薄型トランジスタの製造方法。

【請求項24】 トップゲート型かつLDD構造の薄膜  
 トランジスタであって、  
 厚さ100nm以上250nmのゲート電極と、  
 前記ゲート電極のチャネル方向両端部を被覆する、各々  
 0.075 $\sim$ 0.5 $\mu$ mの長さかつ不純物注入時のマス  
 ク能力を有する厚さの当該ゲート電極材料の酸化膜等の  
 絶縁性反応膜とを有していることを特徴とするLDD構  
 造の薄膜トランジスタ。

【請求項25】 トップゲート型かつLDD構造の薄膜  
 トランジスタであって、  
 厚さ100nm以上250nmのゲート電極と、  
 前記ゲート電極のチャネル方向両端部を被覆する、各々  
 0.075 $\sim$ 0.5 $\mu$ mの長さかつ不純物注入時のマス  
 ク能力を有する厚さの当該ゲート電極材料の酸化膜等の  
 絶縁性反応膜とを有し、  
 前記絶縁性反応膜直下の半導体層は、  
 ゲート電極側のオフセット領域と、  
 反ゲート電極側の低濃度不純物注入領域とを有している  
 ことを特徴とするLDD構造の薄膜トランジスタ。

【請求項26】 トップゲート型かつLDD構造の薄膜  
 トランジスタであって、  
 厚さ100nm以上250nmのゲート電極と、  
 前記ゲート電極のチャネル方向両端部を被覆する、各々  
 0.075 $\sim$ 0.5 $\mu$ mの長さかつ不純物注入時のマス  
 ク能力を有する厚さの当該ゲート電極材料の酸化膜等の  
 絶縁性反応膜とを有し、  
 前記絶縁性反応膜直下の半導体層は、  
 ゲート電極側の熱拡散若しくは散乱による低濃度不純物  
 侵入領域と、  
 反ゲート電極側の低濃度不純物注入領域とを有している  
 ことを特徴とするLDD構造の薄膜トランジスタ。  
 【請求項27】 前記ゲート電極の絶縁性反応膜は、  
 熱酸化膜であることを特徴とする請求項24 $\sim$ 請求項2  
 6のいずれかに記載のLDD構造の薄膜トランジスタ。

【請求項28】 トップゲート型かつLDD構造の薄膜トランジスタであって、

厚さ100nm以上250nmのゲート電極を有し、半導体層は、ゲート電極の下部チャネル方向両端部に、合計で0.075～0.5μmの長さのゲート電極側のオフセット領域と、反ゲート電極側の低濃度不純物注入領域とを有していることを特徴とするLDD構造の薄膜トランジスタ。

【請求項29】 トップゲート型かつLDD構造の薄膜トランジスタであって、

厚さ100nm以上250nmのゲート電極を有し、半導体層は、ゲート電極の下部チャネル方向両端部に、合計で0.075～0.5μmの長さのゲート電極側の熱拡散若しくは散乱による低濃度不純物侵入領域と、反ゲート電極側の低濃度不純物注入領域とを有していることを特徴とするLDD構造の薄膜トランジスタ。

【請求項30】 前記ゲート電極は、

15～50原子%のMoとWの合金からなる低抵抗安定型ゲート電極であることを特徴とする請求項24～請求項26、請求項28若しくは請求項29のいずれかに記載のトップゲート型のLDD構造の薄膜トランジスタ。

【請求項31】 上記LDD構造の薄膜トランジスタは、

半導体層は多結晶シリコン層であることを特徴とする請求項24～請求項26、請求項28若しくは請求項29のいずれかに記載のLDD構造の薄膜トランジスタ。

【請求項32】 上記LDD構造の薄膜トランジスタは、

半導体層は多結晶シリコン層であることを特徴とする請求項30に記載のトップゲート型のLDD構造の薄膜トランジスタ。

【請求項33】 低濃度不純物領域の電気抵抗が20kΩ/□、100kΩ/□であることを特徴とする請求項32に記載の薄膜トランジスタ。

【請求項34】 LDD構造の薄膜トランジスタの製造方法であって、

厚さ300～500nmの金属膜からなるゲート電極をマスクとして低濃度の不純物を注入する第1回目の不純物注入ステップと、

ゲート電極に反応性流体を作用させてそのチャネル方向両端両方向に長さ0.075～0.5μmのゲート電極材料金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

前記反応膜形成ステップにてチャネル方向両端面に反応膜の形成されたゲート電極をマスクに高濃度の不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

【請求項35】 前記反応膜形成ステップは、

ゲート電極材料の金属を熱中で酸化させることにより酸

化膜を形成する熱酸化利用酸化膜形成ステップであることを特徴とする請求項34に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項36】 ゲート電極の材料として、

15～50原子%のMoとWの合金を選定するゲート電極材料選定ステップを有していることを特徴とする請求項34若しくは請求項35に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項37】 LDD構造の薄膜トランジスタの製造方法であって、

厚さ300～500nmの金属膜からなるゲート電極をマスクとして低濃度不純物を注入する第1回目の不純物注入ステップと、

ゲート電極に反応性流体を作用させてそのチャネル方向両端両方向に長さ0.075～0.5μmのゲート電極材料金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

前記反応膜形成ステップにてチャネル方向両端面に反応膜の形成されたゲート電極をマスクに高濃度の不純物を注入する第2回目の不純物注入ステップと、

20

前記反応膜形成ステップにて形成されたゲート電極チャネル方向両端面両側の金属の酸化膜等の反応膜を除去する反応膜除去ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

【請求項38】 LDD構造の薄膜トランジスタの製造方法であって、

厚さ300～500nmの金属膜からなるゲート電極に反応性流体を作用させてそのチャネル方向両端両方向に長さ0.075～0.5μmのゲート電極材料金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

30

前記反応膜形成ステップにてチャネル方向両端面に反応膜の形成されたゲート電極をマスクに高濃度の不純物を注入する第1回目の不純物注入ステップと、

前記反応膜形成ステップにて形成されたゲート電極チャネル方向両端面両側の金属の酸化膜等の反応膜を除去する反応膜除去ステップと、

上記反応膜を除去されたゲート電極をマスクとして低濃度不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

40

【請求項39】 前記反応膜形成ステップは、

ゲート電極材料の金属を熱中で酸化させることにより酸化膜を形成する熱酸化利用酸化膜形成ステップであることを特徴とする請求項37若しくは請求項38に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項40】 ゲート電極の材料として、

15～50原子%のMoとWの合金を選定するゲート電極材料選定ステップを有していることを特徴とする請求項37若しくは請求項38に記載のLDD構造の薄膜トランジスタの製造方法。

50

【請求項41】 LDD構造の薄膜トランジスタの製造方法であって、

厚さ300～500nmの金属膜からなるゲート電極をマスクとして低濃度の不純物を注入する第1回目の不純物注入ステップと、

ゲート電極に反応性流体を作用させてそのチャネル方向両端両方向に長さ0.075～0.5μmのゲート電極材料金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

前記反応膜形成ステップにてチャネル方向両端面に反応膜の形成されたゲート電極をマスクに高濃度の不純物を注入する第2回目の不純物注入ステップと、

前記反応膜形成ステップにて形成されたゲート電極チャネル方向両端面両方向の金属の酸化膜等の反応膜を還元等の逆な反応をさせて基の金属とする逆反応ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

【請求項42】 前記反応膜形成ステップは、ゲート電極材料の金属を熱中で酸化させることにより酸化膜を形成する熱酸化利用酸化膜形成ステップであることを特徴とする請求項41記載のLDD構造の薄膜トランジスタの製造方法。

【請求項43】 ゲート電極の材料として、15～50原子%のMoとWの合金を選定するゲート電極材料選定ステップを有していることを特徴とする請求項41若しくは請求項42記載のLDD構造の薄膜トランジスタの製造方法。

【請求項44】 厚さ300～500nmの金属膜からなるゲート電極材料の一部を酸化させて、そのチャネル方向端面両側に厚さ0.05～0.5μmのゲート電極材料の酸化膜を形成する酸化膜形成ステップと、酸化膜の形成されたゲート電極をマスクとしてチャネル方向両側から同時若しくは各側計2回に分けて高電圧で不純物を注入する斜め方向高電圧不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

【請求項45】 厚さ300～500nmの金属膜からなるゲート電極材料の一部を酸化させて、そのチャネル方向端面両側に長さ0.05～0.5μmのゲート電極材料の酸化膜を形成する酸化膜形成ステップと、酸化膜の形成されたゲート電極をマスクとして高電圧で不純物を注入する高電圧不純物注入ステップと、不純物注入後の半導体の熱処理、上記ゲート電極端面に形成された酸化膜の除去や還元のための加熱時に前記高電圧不純物注入ステップにて打ち込まれ、チャネル方向ゲート電極中央寄りに散乱した不純物の一層の拡散を図る拡散ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

【請求項46】 オフセット型の薄膜トランジスタの製造方法であって、

長さ300～500nmの金属膜からなるゲート電極を熱酸化させて、そのチャネル方向両側端に厚さ0.075～0.5μmのゲート電極最良金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

反応膜の形成されたゲート電極をマスクとして高濃度の不純物を注入する不純物注入ステップと、

不純物注入後に、ゲート電極チャネル方向両側の金属酸化膜を除去する酸化膜除去ステップとを有していることを特徴とするオフセット型の薄膜トランジスタの製造方法。

10

【請求項47】 上記LDD構造の薄膜トランジスタの半導体材料として、

多結晶シリコンを選定する半導体材料選定ステップを有していることを特徴とする請求項34、請求項35、請求項37、請求項38、請求項41、請求項42、請求項44若しくは請求項45に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項48】 上記LDD構造の薄膜トランジスタの半導体材料として、

20

多結晶シリコンを選定する半導体材料選定ステップを有していることを特徴とする請求項36に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項49】 上記LDD構造の薄膜トランジスタの半導体材料として、

多結晶シリコンを選定する半導体材料選定ステップを有していることを特徴とする請求項39に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項50】 上記LDD構造の薄膜トランジスタの半導体材料として、

30

多結晶シリコンを選定する半導体材料選定ステップを有していることを特徴とする請求項40に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項51】 上記LDD構造の薄膜トランジスタの半導体材料として、

多結晶シリコンを選定する半導体材料選定ステップを有していることを特徴とする請求項43に記載のLDD構造の薄膜トランジスタの製造方法。

【請求項52】 上記オフセット型の薄膜トランジスタの半導体材料として、

40

多結晶シリコンを選定する半導体材料選定ステップを有していることを特徴とする請求項46に記載のLDD構造の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ及びその製造方法に関し、特に液晶表示装置の画素スイッチング素子や駆動回路等に使用される薄膜トランジスタに関する。

【0002】

50

【従来の技術】近年、単純マトリックス型表示装置と比

較して高い画質が得られるため液晶パネルの画素電極毎に薄膜トランジスタ(Thin Film Transistor: TFTと称する)を備えたアクティブマトリックス型表示基板を用いた表示装置が盛んに研究されている。その中で、多結晶シリコン(以下、ポリシリコンとも記す)TFTの電子移動度が、非晶質シリコン(以下、原則としてアモルファスシリコンと記す)TFTと比較して1桁から2桁以上高いことに着目して、画素スイッチング素子としてのTFTと駆動回路をポリシリコンを使用した上で同一ガラス基板上に形成する、いわゆる駆動回路内蔵型の液晶表示装置が提案され、研究等されている。

【0003】しかしながら、駆動回路の内蔵化に際して用いられるポリシリコン型TFTは、アモルファス型TFTやMOS型電解効果トランジスタと比較してOFF電流が大きい。このため、そのままではこのポリシリコン型TFTを適用した駆動回路内蔵型の液晶表示装置の実現に大きな障害となる。

【0004】そこで、このようなポリシリコン型TFTの電気的特性課題を解決するため、ゲート構造をサブゲート化して、TFTのソース領域またはドレイン領域の少なくとも一方の領域に隣接して、低濃度不純物領域(LDD: Lightly Doped Drain)を設け、OFF電流の低減を図ると同時にON電流の減少が起きない薄膜トランジスタ構造が提案され、研究等されている(SID96DIGEST pp25: Samsung 電子, Euro Display'96 pp555, ASIA Display'95 pp335: Philips)。

【0005】以下、そのような薄膜トランジスタの構造を図1に示す。

【0006】本図において、1は、その(図上)上部に内部物質の拡散防止等のためのバッファ層を形成したガラス基板である。2は、多結晶シリコン半導体層である。3は、ゲート絶縁膜である。4は、ゲート電極である。40は、サブゲート電極であり、その図上左右の45と46の部分は、チャンネル方向両側へはみ出したサブゲート電極である。245と246は、多結晶シリコン半導体層の低濃度不純物領域(以下、LDD領域とも記す)である。25は、同じくソース領域(n+層)である。26は、同じくドレイン領域(n+層)である。24は、同じくチャンネル領域である。5は、ソース電極である。6は、ドレイン電極である。7は、層間絶縁膜である。

【0007】なお、実際には、例えば30cm×40cm程度のガラス基板上に、画素部やその周辺の駆動回路部の配置に応じて、本図に示すような多数の薄膜トランジスタが縦、横方向幾列にも配列して形成され、また配線等がなされている。しかし、これらについては、自明のことなのでわざわざの図示は省略する。

【0008】ところでこのTFTのゲート電極4上には、これを覆うようにサブゲート電極40が設けられており、サブゲート電極の更にゲート電極からはみ出した部分45、46の直下には低濃度不純物領域(LDD領域:n-層)245、246が形成されている。

【0009】さて、この低濃度不純物領域の一般的な形成方法としては、以下のようなものがある。まず、ゲート電極4を形成した後、これをマスクとしてゲート絶縁膜を介してその下部の多結晶シリコン半導体層2に低濃度で(軽く)不純物の注入を行う。これにより、ゲート電極4直下には不純物が注入されず、この部分の多結晶シリコン層がチャンネル領域を形成することとなる。そして、ゲート電極4に覆われていない部分には、少量の不純物が注入された状態となる。

【0010】次に、ゲート電極上にサブゲート電極40となる金属膜を形成し、更にホトリソグラフィ、エッチングによって不必要な部分を除去し、残った金属膜がゲート電極上面、側面を覆い、このためチャンネル方向(ソース電極とドレイン電極の方向)に所定量はみ出し部45、46があるサブゲート電極40を形成する。

【0011】最後に、先の注入よりもずっと高い濃度で(高い濃度になる様に)不純物の注入を行う。

【0012】これにより、サブゲート電極で覆われていない部分には高濃度に不純物が注入されてソース領域25とドレイン領域26が形成され、サブゲート電極に覆われた部分は、不純物が注入されないため、サブゲート電極がゲート電極よりはみ出した部分の直下には低濃度不純物領域245、246が形成される。なお、この低濃度不純物領域の寸法は、TFTのチャンネル幅に対して100~10%に設定される。

【0013】このように、ポリシリコン型TFTでは、OFF電流が大きいという電気的特性の欠点を解決するためTFTのソース領域またはドレイン領域の少なくとも一方に隣接して、微小な低濃度不純物領域(LDD: Lightly Doped Drain)を設けることが必要不可欠である。

【0014】

【発明が解決しようとする課題】しかしながら、これら低濃度不純物領域を形成するため、以下のごとき問題が生じる。

【0015】1) 液晶表示装置の高精細化を実現するためには画素トランジスタを微細にして表示密度を高める必要がある。ところで、液晶表示装置の製造に通常用いられる露光機は等倍露光方式が主流である。このため、微細な画素トランジスタの製造に際しては、微細化された画素トランジスタのチャンネル幅に対して10~25%の極めて微小な領域での低濃度不純物領域を寸法ずれがなく再現性よく形成させる必要があるが、これは極めて困難である。

【0016】2) サブゲート電極と低濃度不純物領域と



の重ね合わせはマスク合わせにより行っているが、それらの重ね合わせを精度良く形成することが困難である。このためマスク合わせ精度の微小なズレでその低濃度不純物領域寸法は実用上無視できない程に変動しかねない。そのため、製造工程管理上、マスク合わせマージンを確保する理由から画素TFTの微細化に限界が生じ、マージンを確保する分だけ画素TFTの占有面積が大きくなる。

【0017】3) 画素TFTの占有面積が大きくなり、それに伴いソース領域とドレイン領域間の寄生容量が増大し、このため動作波形の遅延が生じ、ひいては液晶表示装置の表示特性の低下につながる。

【0018】4) サブゲート電極の形成に際しては、ゲート電極の形成とは別にそのための金属膜の形成、フォトリソグラフィ、エッチング等の工程が必要となり、更にはフォトリソグラフィを行うためのフォトマスクが必要となる。従って、TFT製造プロセスが複雑となり、プロセスの長期化、製造コストの上昇、保留まりの低下が生じかねない。

【0019】また、必ずしもLDD構造の薄膜トランジスタに限らないが、不純物注入時には不純物に併せて稀釈用の水素が高エネルギーで打ち込まれ、これが半導体の結晶構造に悪影響を与えるため、可能な限りその防止を図りたいという要請もある。

【0020】また、同じく、広い表示面で均一な明るさを有する等高品質の表示特性を得るため各部の電気抵抗が小さいこと、この一方で製造が楽、しかも低コストという要請もある。

【0021】また、例えば表示装置の画素部と周辺回路部とでは、トランジスタに要求される特性が相違し、更に機器によってはゲート電極の直下チャンネル方向両側に不純物の注入域がないオフセット型のトランジスタ等が要求されることもある。

【0022】このため、ポリシリコン型薄膜トランジスタのOFF電流の低減とON電流の減少防止を図るため、TFTのソース領域及びドレイン領域に隣接した低濃度不純物領域(LDD:Lightly Doped Drain)を、ゲート電極に対して自己整合的に、あるいは特別なマスク合わせ作業等しなくても必然的に隣接して微細かつ高精度で形成し、その結果寄生容量も少ない薄膜トランジスタをきわめて簡便に製造する技術の開発が望まれていた。

【0023】更に、オフセットのトランジスタ等についても、同様の技術の開発が望まれていた。

【0024】更にまた、LDD型、オフセット型に限らず、様々の特性を有するトランジスタ等についても、同様の技術の開発が望まれていた。

【0025】

【課題を解決するための手段】本発明は、以上の課題を解決するためなされたものであり、薄膜トランジスタの

製造時にゲート電極が不純物注入時のマスクの役を担うため、その形成に工夫を凝らしたものである。すなわち、第1の発明群においては、ゲート電極をフォトリソグラフィとエッチングにより形成するため、エッチングでゲート電極に整合して孤立化して形成したフォトレジストのチャンネル方向断面を少なくとも上部が底部より幅を狭くする。これにより、フォトレジストが均一な厚さである場合に比較して、フォトレジストのチャンネル方向両端部を除去してその下部の金属を僅かに露出させるのが容易になる。

【0026】この後、この形状のフォトレジストを少くもチャンネル方向両側へアッシング等してゲート電極のチャンネル方向両端部を露出させ、その露出した部分のゲート電極をエッチングにより除去し、このゲート電極をマスクとして低濃度の不純物注入を行うことにより低濃度不純物領域(LDD:Lightly Doped Drain)を自己整合的にきわめて高精度で形成する。

【0027】第2の発明群においては、ゲート電極をマスクとして不純物の注入を行なうのは、第1の発明群と同じであるが、LDD構造の形成のため、ゲート電極金属を酸化等させるのが相違する。更に、ゲート電極の金属を不純物注入後取り去ったり水素で還元して再度金属とすることもなす。具体的には、各発明群は以下のごとくしている。

【0028】第1の発明群の1の発明においては、レジスト(フォトレジスト)を使用してフォトリソグラフィとエッチングによりゲート電極形成用の金属膜を基板上のゲート電極の配置、形状に整合してエッチングしてゲート電極を一応形成し、該一応形成された仮のゲート電極そして副次的にその上表面のレジストをもマスクとして半導体層へ不純物イオンを高濃度で注入する。次いで、レジストの少くもチャンネル方向両端(実際にはこれに併せて必然的に上面をも)をエッチング特にプラズマ反応を利用してのアッシングにより多少除去し、ゲート電極のチャンネル方向両端を露出させる。次いで、レジストをマスクとして上部から所定の反応物質に晒す等のドライエッチング等で露出した仮のゲート電極のチャンネル方向両端部を除去する。更に、レジストの有無とは無関係に、ともかく、この下でゲート電極をマスクとして不純物を半導体層へ軽く注入する。これにより、仮のゲート電極のチャンネル方向両側のドライエッチング等により除去された(レジスト端面が中央方向へ後退した)部分直下の半導体層には軽く不純物が注入される。その結果、ゲート電極に自己整合的に(実際のゲート電極のチャンネル方向両側に位置あわせ等の処理をなすことなく必然的に隣接して小さな)LDD領域が形成される。

【0029】なお、以上の他、これらの処理に先立っての基板上への半導体層の形成や形成された半導体層の孤立化(パターニング)やそのレーザーアニール等がなされるのは勿論である。また、第2回目の不純物の注入の

前若しくは後のレジスト（マスクの効果は事実上ない）の除去、その他半導体層の熱処理や保護絶縁膜の形成やソース電極やドレイン電極の形成等がなされるのも勿論である。

【0030】また、1の発明においては、仮の（一応の）ゲート電極が形成された時点あるいは第1回目の高濃度での不純物注入がなされた時点、更にはケースによってはゲート電極形成用金属膜上に該金属膜をパターン化するためゲート電極の位置にあわせてレジストが孤立化された時点でレジストは少くも仮のゲート電極のチャンネル方向両側にはテーパ（傾斜）した形状（ただし、傾斜面は必ずしも直線とは限らない）としている。そして、第1回目の高濃度の不純物の注入後、ゲート電極上のレジストをアッシング等によりチャンネル方向両側を後退させる（取り去る）。さてこの際、チャンネル方向は下（基板や半導体層）側が広がっているため、無理なくゲート電極チャンネル方向両側部上部のレジストが先に、しかも傾斜のためチャンネル方向に精度良く除去される。そして、当該部のレジストはわずかに除去されたが、ゲート電極上方（中央部を含む）ほとんどの部分のレジストが除去されていない状態でアッシングを中止する。更に、この残ったレジストをマスクとして、仮のゲート電極を形成する金属のチャンネル方向両側を除去してゲート電極を形成する。この下で、残ったゲート電極（あるいはこれに加えて残ったレジスト）をマスクとして不純物を薄く注入する。これにより、仮のゲート電極チャンネル方向両側の金属が後退した部分直下の半導体層にLDD領域が形成される。

【0031】また他の発明においては、ゲート電極形成用金属層の上で孤立化したレジストや或いは孤立化されたゲート電極上で同じく孤立化したレジストをそのチャンネル方向端面が傾斜を有するよう様々な工夫をこらしている。即ち、レジストが熱収縮したり、融点近傍の温度に晒されて流動かしたりして球形化すること等により、少くもチャンネル方向の断面が半円状（含む、多少のいびつが在る場合や楕円状）等になる（従って、ゲート電極が正方形ならば立体的に見れば多くの場合大凡半球状）ようにする。

【0032】また、レジストの固化のためのポストベーク温度を、当該レジストの材料にとり変形等しないと言う面から最適の温度よりも高い温度で行なうようにしている。これにより、レジスト上部は収縮しつつ固化するため、そのチャンネル方向両側部に傾斜が生じる。

【0033】また、同じく熱収縮を利用するが、レジストは上下2層とする。さて、下層のレジスト材料はポストベーク温度が上層のレジスト材料よりも高い。この下で、下層のレジスト材料に適した温度で露光、現像後のポストベークを行なう。その結果、下層のレジストは最適な温度でポストベークされるため、その下層のゲート電極を形成するに際しての位置決めは精度良好になされ

る。ところで、上層のレジストはそのベーク温度より高い温度であるため、熱収縮する。その結果、上下2層からなるレジスト層全体としては、上方が縮んだ形状、チャンネル方向断面は大凡両側が下拡がりになった形状となる。このため、アッシングに際してはレジスト層厚さが薄い部分からレジストが完全に除去されるため、ゲート電極チャンネル方向両側部が先に、しかも僅かに露出することを容易になしうる。

【0034】また、露光、現像に先立ってのレジストのプリベークを規定より低い温度で行なうようにしている。このため、露光後の現像に際して、レジストは現像液に全体的に浸蝕され易くなっている。ひいては、ゲート電極の配列、形状に対応して孤立化される際、下拡がりの形状となる。なお、この場合には、レジストがネガポジか等に応じて、露光マスクを多少大きくしたり等していても良い。

【0035】また、レジストをゲート電極形成のためゲート電極の位置と形状に対応して露光する際、焦点を少しずらしている。このため、個々のフォトリソは下拡がりに露光される。ひいては、下拡がりの形状になる。

【0036】また、ゲート電極を形成するため使用する（フォトリソ）レジストを露光する際用いるフォトリソマスクはぬきパターンであり、これに整合して（フォトリソ）レジストはネガ型である。このため、また微小な孔であるため回折の効果も加わって、下拡がりに露光され易くなる。その結果、先の幾つかの発明と同じく、下拡がりの形状になる。

【0037】また、一応形成された（仮の）ゲート電極上でゲート電極の配置形状に整合して孤立化して形成されたレジストに熱を加えて溶融させ、表面張力で半球状とする。これにより、下拡がりの形状になる。

【0038】またこの際、レジストとして120℃～200℃程度の温度で溶融するメルトフロー型としている。このため、加熱による半球状化が容易となる。

【0039】また、仮のゲート電極形成ステップ後、孤立レジストエッチングステップに先立って、仮のゲート電極上に孤立された一層のレジストをポストベーク温度より高い温度に晒して熱収縮させる。これにより、レジスト上上面側は自由なため収縮するが、仮のゲート電極に接している部分は拘束されてそのままである。ひいては、チャンネル方向下方が広がった形状となる。

【0040】また、レジストと流体を化学反応させるが、この際、反応は上方から流体を打ち込むエッチング等と異なり、面積に比例する方式を採用した端面除去ステップとしている。これにより、レジスト量／反応面積の比の大きな端面から除去される。また必要に応じて反応性気体をチャンネル方向上部両側より吹き付ける。これにより、チャンネル方向両側の上部ほど気体に晒される。ひいては、レジストのチャンネル方向両端面に下拡がりの傾

斜がつく。なお、この場合には、露光マスクを、そして  
言わば断面が長方形のパターン化されたレジストが多少  
大きくなることもなされる。

【0041】また1の発明においては、孤立化され一応  
形成された仮のゲート電極をLDD領域への低濃度での  
不純物注入時のマスクとして使用するためには、仮のゲ  
ート電極のチャネル方向両側を僅かに除去する必要がある。  
ところで、そのため仮のゲート電極をエッチング除  
去する際のマスクとして使用する有機物のレジストのチャ  
ネル方向両側を僅かに中心寄りに後退させるのにO<sub>2</sub>  
若しくはO<sub>3</sub>あるいはその両方を含むガスを使用する。  
これにより、酸素のプラズマ反応レジストが酸化され、  
精度良好なアッシングができる。

【0042】また、1においては、ゲート電極下方の  
チャネル領域のチャネル方向両側の僅かな領域の半導体  
層内に不純物がないオフセット型の薄膜トランジスタの  
製造方法において、仮のゲート電極をマスクとして不純  
物を注入後、ゲート電極のチャネル方向両側を僅かに除  
去する。ところでその手段として、仮のゲート電極の形  
成に使用しかつ不純物注入後も仮のゲート電極上に在る  
レジストのチャネル方向両側部を僅かに除去する必要が  
有るが、この手段として今までのLDD型構造のトラン  
ジスタの製造方法の発明と同じ技術内容のステップを採  
る。その後、残ったレジストをマスクとして仮のゲート  
電極のチャネル方向両側を除去する。

【0043】また1の発明においては、ボトムゲート型  
のLDD構造の薄膜トランジスタとしている。このた  
め、紫外線そして将来は多分X線をも使用していわゆる  
裏面露光を行ない、ゲート電極の直上部の半導体層の直  
上にこれに自己整合的に不純物注入用金属性マスクを形  
成する。ところで、この金属性マスクのチャネル方向両  
端の微小な部分を除去するのは、記述のトップゲート型  
を対象とした各発明と同様の手法、更にその上部のレジ  
ストのチャネル方向両端部を下拡がりに傾斜させてのア  
ッシングを行なう。

【0044】また、1の発明においては、先の発明が金  
属製マスクを半導体層の直上に設けたのに対して、半導  
体層の上部に絶縁性保護膜を設け、その直上に金属製マ  
スクを形成する。このため、不純物注入時の加速電圧の  
上昇等では不利であるが、半導体層の金属による汚染対  
策を施す必要がない。

【0045】また、1の発明においては、今までの発明  
の薄膜トランジスタを採用したエレクトロミネッセレス  
表示装置としている。

【0046】また1の発明においては、今までの発明の  
薄膜トランジスタを採用した液晶表示装置としている。

【0047】また1の発明においては、第1の発明群の  
LDD型トランジスタのLDD領域の抵抗値を製品の性  
能等から要求されるある範囲内としている。

【0048】また1の発明においては、第1の発明群の

トランジスタの半導体として多結晶シリコンを採用して  
いる。

【0049】第2の発明群の1の発明においては、LDD  
構造の薄膜トランジスタは、そのゲート電極をマスク  
として、半導体層へ不純物を注入するが、この際LDD  
構造とするため2回に分けて注入するだけでなく、LDD  
領域形成のため第1回目の低濃度での不純物の注入  
後、ゲート電極を酸化等させてそのチャネル方向両側へ  
伸長をさせて第2回目の高濃度の注入を行なっている。  
その結果、ゲート電極表面は当該材料の絶縁性反応膜で  
被覆されている。ところでこの際のゲート電極の厚さ、  
LDD領域の長さは単にトランジスタの純性能面のみか  
らならず、不純物注入時のマスク能力、反応膜形成によ  
る仮のゲート電極の金属の反応量、反応膜厚さや進行方  
向をも考慮している。そして、進行方向により、オフセ  
ット量等をも調整している。

【0050】また、酸化膜は、基板の耐える上限たる6  
00℃以下、好ましくは400℃～500℃で酸素や水  
蒸気と反応させて形成した熱酸化膜としている。これに  
より、膜厚さの制御が容易になる。

【0051】また、ゲート電極は、Mo（モリブデン）  
15～50原子%、好ましくは15～35原子%、より  
好ましくは33～37原子%のW（タングステン）との  
合金（金属間化合物、固溶体の他に、スパッタリング等  
によりMoとWの極く微小な粉末が混ざり合った状態を  
も含む）としている。これにより、Wよりも電気抵抗が  
少なく、Moよりも化学的に安定となっている。また、  
酸化したゲート電極側部は水素による還元が容易とな  
り、しかも両金属は密度が高いため、単に不純物注入時  
のマスクとしての機能が高くこのため薄くしえるだけで  
なく、ゲート電極直下部の半導体層へ不純物の稀釈用の  
水素が打ち込まれることの阻止能力も優れる。

【0052】また、絶縁性反応膜は、ゲート電極側部を  
（そして事実上上面をも）酸化等によりチャネル方向へ  
所定量伸長させている。ところで、ゲート電極材料の酸  
化等によるチャネル方向への伸長は、精密に制御可能で  
ある。このため、微小であるにもかかわらず精度よくL  
DD領域を形成することが可能となる。

【0053】また1の発明においては、ゲート電極の酸  
化等によるチャネル方向への伸長を利用してLDD構造  
のトランジスタとしているのは先の幾つかの方法の発明  
と共通する。しかしながら、ゲート電極のチャネル方向  
両サイド、そして現実にはその上面等の金属の酸化物を  
除去するステップを有しているのが異なる。このため、  
トランジスタの特性が多少異なり、製品の用途によっ  
てはより好ましいものとなる。

【0054】また1発明においては、LDD構造の薄膜  
トランジスタの製造に際して、不純物注入時のマスクと  
して用いるゲート電極の酸化によるチャネル方向両側へ  
の伸長を利用するのは先の幾つかの方法の発明と共通す

る。しかし、不純物注入後に金属酸化膜を還元するステップを有しているのが相違する。このため、これまた特性の異なるトランジスタを得られる。

【0055】また、1の発明においては、ゲート電極を形成する金属膜を酸化させた後、チャネル方向両側斜め上方向から高電圧で、例えば1.5～2.5倍程度のエネルギーで、所定量の不純物を注入する。これにより、特にボロン等の軽い不純物の場合そうであろうが、不純物は持っているエネルギーが高いため停止するまでに酸化されたゲート金属、ゲート絶縁層で何度も衝突を繰り返し、ゲート電極下部半導体内のチャネル方向中心寄りへも散乱により侵入する。そしてこれによりLDD領域が形成される。

【0056】しかる後、ゲート電極直上部からの高濃度での不純物の注入がなされる。

【0057】また1の発明においては、チャネル方向量端面に酸化膜の形成されたゲート電極をマスクとして高電圧で、所定濃度の不純物が注入される。この場合も先の発明と同じくゲート絶縁膜内での散乱により、不純物は金属酸化膜直下部の半導体層へ侵入する。しかる後、通常の電圧で高濃度に不純物が注入され、更にこの後金属酸化膜は除去される。この基で、以下の水素の追い出しや半導体の熱処理時等の加熱の際に熱拡散で不純物が一層金属酸化膜が在った部分の直下の半導体層の中心方向へ侵入し、LDD領域が形成される。

【0058】また1の発明においては、オフセット型の薄膜トランジスタを製造するため、チャネル方向両側に金属酸化膜の形成された状態のゲート電極をマスクとして高濃度の不純物が上方より打ち込まれる。この後、金属酸化膜が除去される。

【0059】また、不純物の散乱や熱拡散をも考慮している。

【0060】また、いつ1の発明においては、第2の発明群の薄膜トランジスタの半導体は多結晶シリコンとしている。

【0061】

【発明の実施の形態】以下、本発明をその実施の形態に基づいて説明する。

【0062】(第1の実施の形態)本実施の形態は、不純物注入時にマスクとしての役を担うゲート電極の形成を2段に分け、不純物注入も2度行なうものである。更にこのため、ゲート電極のチャネル方向両端の微小なエッチングに使用するフォトレジストのアッシングに工夫を凝らしたものである。

【0063】図2と図3は、本実施の形態の薄膜トランジスタが製造されていく様子、あるいは製造方法を順に示したものである。なお、両図は、本来1つの図であるべきだが、スペースの都合で2つの図としたものである。

【0064】先ず、図2に基づいて説明する。

【0065】(1) 上面にバッファ層としてSiO<sub>2</sub>膜が形成されたガラス基板1上面にプラズマCVD法あるいは減圧CVD法により500～1000Åの厚さにアモルファスシリコン層2を堆積させる。次に、後のレーザーアニールによるアモルファスシリコン層の結晶化の際、アモルファスシリコン層中の水素の離脱によってアモルファスシリコン層のアブレーションを防止するため400℃で脱水素を行う。

【0066】(2) 波長308nmのエキシマレーザーを使用しての所定の照射によりアモルファスシリコン層を一旦溶融させ、その後の再結晶化(多結晶化)にて、ポリ(多結晶)シリコン層20を形成する。

【0067】(3) ホトリソグラフィーによりポリシリコン層を個々の半導体素子に対応した所定の形状に島(孤立)化したポリシリコン層21を形成する。

【0068】(4) ガラス基板1上に、ポリシリコン層21を覆うようにして、ゲート絶縁膜となる厚さが1000ÅのSiO<sub>2</sub>(二酸化シリコン)層3を形成し、更にその上にAl、Mo、Ta等の金属からなるゲート電極形成用の金属層48を形成する。

【0069】(5) ゲート電極形成用金属層48上にフォトレジスト8を塗布し、所定条件でのプリベーク(排気しつつの加熱)を行う。

【0070】(6) ゲート電極を形成するため、フォトマスク9を用いて露光する。

【0071】次に、図3に移る。

【0072】(7) フォトレジストの現像後、露光した部分のフォトレジストの除去(フォトリソグラフィー)を行う。更に、残ったフォトレジストの所定条件でのポストベークによる完全な硬化を行う。次いで、フォトマスク状に残ったフォトレジスト81をマスクとしてゲート電極形成用金属層48のエッチングを行い、仮のゲート電極4を形成する。

【0073】(8) 形成された仮のゲート電極4そして副次的にその直上のフォトレジストをマスクとして、リンイオンを用いたイオンドーピング法にて第1回目の不純物注入を行う。この際、リンイオンは高濃度で注入する。これにより仮のゲート電極の直下のポリシリコン層は不純物が注入されない。このため、この部分の中央部がチャネル領域となり、そのチャネル方向両側は(図上左右は)後で説明するLDD領域となる。また、仮のゲート電極の直下部の図上左右に位置するポリシリコン層は、高濃度に不純物が注入された領域(n+層)となり、ソース領域とドレイン領域を形成することとなる。

【0074】(9) エッチング、例えばO<sub>2</sub>とオゾンによるアッシングによりフォトレジストを左右そして下方向に等長的にアッシングしてチャネル方向両側(そして厳密には上面も)を中央部寄りに後退させ、その結果仮のゲート電極のチャネル方向両端部を少し露出させる。なおこの際の仮のゲート電極の端部における露出量

は、ゲート電極幅が $2\mu\text{m}$ の場合、大凡、 $0.2\sim 0.5\mu\text{m}$ となるようアッシング条件を最適化している。

【0075】(10) 上方からの流体を作用させてのエッチングによりフォトレジストよりチャネル方向両側に僅かに露出したゲート電極の両端部を除去する。これによりゲート電極が形成されるが、更にこのゲート電極41をマスクとしてリンイオンを用いたイオンドーピング法にて第2回目の不純物注入を行う。

【0076】そして、この際、注入濃度は先の注入より低濃度とする。その結果、ゲート電極両側のエッチングによって除去された部分の直下の領域のポリシリコン層には、低濃度で不純物が注入されることとなる。その結果、微少な幅で低濃度の不純物領域(n-層)245、246、すなわちLDD領域が形成される。

【0077】(11) フォトレジストを除去したのち、ゲート電極を覆うように $\text{SiO}_x$ 等からなる層間絶縁膜7を製膜する。次に、層間絶縁膜及びゲート絶縁膜にソース電極とドレイン電極形成用のコンタクトホールを開口し、Al、Mo、Ta等の金属層をスパッタ法で蒸着形成して両コンタクトホール内に金属を充填し、更に金属層を所定形状にパターニングしてソース電極5とドレイン電極6を形成する。次いで、 $\text{SiN}$ 等の保護膜88を形成して薄膜トランジスタが製作される。

【0078】(第2の実施の形態)本実施の形態は、仮のゲート電極上のレジストを加熱収縮によりその断面が大凡台形となるように変形させ、これを利用して仮のゲート電極をLDD形成のためのマスクに加工するものである。

【0079】図4と図5に、本実施の形態の薄膜トランジスタの製造方法を順に示す。以下、両図を参照しつつ、その手順の内容について説明する。先ず、図4に基づいて説明する。

【0080】(1) 先の実施の形態と同様に、ガラス基板1上に、多結晶化され、そして所定形状に島化されたポリシリコン層21を形成し、更にこの形成されたポリシリコン層を覆うように、ゲート絶縁膜3、次いでゲート電極となるAl、Mo、Ta等の金属膜48を形成する。

【0081】(2) 例えば、下層は $150^\circ\text{C}$ と高いポストバーク温度で固化するフォトレジスト83を、上層は $120^\circ\text{C}$ と低いポストバーク温度で固化するフォトレジスト84をと、ポストバークによる固化温度が上部が低く、下部が高い2種類のポジ型フォトレジストを塗布する。

【0082】(3) ゲート電極を形成するためのフォトマスク9を用いて露光し、上下2層のフォトレジスト層83、84のフォトリソグラフィを同時に行う。

【0083】(4) 上下2層のフォトレジストの現像を行った後、下層のフォトレジスト83が固化する $150^\circ\text{C}$ でポストバークを行う。これにより、下層のフォ

トレジストはその形状を保持した状態で固化するが、上層のフォトレジスト84は $120^\circ\text{C}$ の低い温度で固化する特性のものであるため、それより高い $150^\circ\text{C}$ では加熱収縮によってその側面に下拵がりの傾斜を持つテーパー角が生じる。このため、この上層のフォトレジスト84の断面は、大凡上辺の短い台形となる。

【0084】(5) 上下のフォトレジスト層をマスクとして金属膜48のエッチングを行って、仮のゲート電極4を形成し、このゲート電極をマスクとしてリンイオンを用いて第1回目の不純物注入をイオンドーピング法によって行う。なお、注入濃度は高くする。これにより、仮のゲート電極4の直下のポリシリコン層には、不純物が全く注入されない。この一方、その領域4を除く部分には高濃度に不純物が注入され、この領域がソース領域25とドレイン領域26になる。

【0085】次に、図5に移る。

【0086】(6) 例えば $\text{O}_2$ やオゾンによるアッシング13等のエッチングにより、ゲート電極4の上下のフォトレジスト層を等方的にアッシングしてレジストを中心方向寄りに後退させ、仮のゲート電極4のチャネル方向両側の端部表面を露出させる。なお、この際の仮のゲート電極端部の露出量は、ゲート電極幅が $2\mu\text{m}$ の場合 $0.2\sim 0.5\mu\text{m}$ となるようにする。

【0087】(7) エッチングにより上下2層のフォトレジストより露出した仮のゲート電極の端部を除去する。従って、仮のゲート電極はこの段階で本来のゲート電極41となる。

【0088】(8) このゲート電極41をマスクにリンイオンを用いて第1回目と同様にイオンドーピング法により第2回目の不純物の注入を行う。

【0089】なお、この際、注入する量は第1回目より低濃度とする。これにより、エッチングによって除去されたゲート電極チャネル方向両側の直下の領域のポリシリコン層245、246には低濃度で不純物が打ち込まれる。このため、ポリシリコン層4におけるゲート電極直下のチャネル領域の両側に、仮のゲート電極がエッチング除去された微少な幅で低濃度の不純物領域(n-層)が形成される。従って、ゲート電極4の直下の不純物が全く注入されないチャネル領域24と、その29の低濃度不純物領域(n-層)245、246と更にその両側のソース領域25とドレイン領域26が形成されたLDD構造となる。

【0090】(9) フォトレジストを除去した後、ゲート電極を覆うように層間絶縁膜( $\text{SiO}_x$ 等)7を形成する。

【0091】次いで、層間絶縁膜とゲート絶縁膜3にソース電極とドレイン電極形成用にコンタクトホールを開口し、基板上表面にAl等の金属層をスパッタ法で蒸着形成する。これにより、Al等がソース電極とドレイン電極用のコンタクトホール内充填される。この後、金属

層の上部を所定形状にパターニングしてソース電極5及びドレイン電極6を形成する。しかる後、SiN等の保護膜88を形成して薄膜トランジスタを完成する。

【0092】(第3の実施の形態) 本実施の形態は、LDD構造形成時ドーピングのマスクに使用するゲート電極のエッチングのためのフォトリソレジストは1層であり、プリベークに工夫を凝らしたものである。

【0093】図6に、本実施の形態の薄膜トランジスタの製造方法を示す。以下本図を参照しつつ、その製造の手順を説明する。

【0094】(1) 先の実施の形態と同様にガラス基板1上にレーザーアニールによって多結晶化したポリシリコン層を所定の形状に形成し、更にこのポリシリコン層を覆うようにゲート絶縁膜3とAl、Mo、Ta等からなる金属層48を形成する。更にその上に、ポジ型のフォトリソレジスト8を一層塗布する。次いでこのフォトリソレジストのプリベーク温度より低い温度でプリベークを行う。すなわち、このフォトリソレジストのプリベーク温度は70〜80℃であるが、それより10〜25℃程度低い温度でプリベークする。これにより、このフォトリソレジストは、後の現像での現像液に対する耐性がやや低下した状態となる。

【0095】(2) ゲート電極を形成するためのフォトリソマスク9を用いて露光し、更に露光部のフォトリソレジスト22のフォトリソグラフィによる除去を行う。ところで、露光後所定の現像液(図示せず)を用いて現像を行う。

【0096】(3) この際上述の理由により、フォトリソレジストの現像液に対する耐性が低下している。このため、フォトリソレジストの非露光部の側面にも顕著な浸食が生じ、その結果残ったフォトリソレジスト810の側面にはテーパ角が生じ、残ったフォトリソレジストの断面形状は大凡あるいは順テーパ状の下拡がりの台形となる。

【0097】(4) フォトリソレジストをマスクとして、金属層48のエッチングを行い、仮のゲート電極4を形成する。次いで、この仮のゲート電極をマスクとして、リンイオンを用いて第1回目の不純物の注入をイオンドーピング法によって行う。なお、注入は高濃度で行う。これにより、仮のゲート電極の直下のポリシリコン層のチャネル領域部には不純物が全く注入されない反面、そのチャネル方向の両側のソース領域部とドレイン領域部には高濃度に不純物が注入される。

【0098】(5) O<sub>2</sub>、O<sub>3</sub>によるアッシング等のエッチングにより、フォトリソレジスト820を等方的に中央寄りに後退させ、仮のゲート電極4のチャネル方向両端部の上表面を露出させる。なおこの際のゲート電極の両端部の露出量は、先の実施の形態と同じである。

【0099】(6) フォトリソレジスト820より露出した部分のゲート電極の両端部をエッチングにより除去する。更に、このゲート電極41を、そして厳密には更に

その上部のレジストをも加えて、マスクに第2回目の不純物の注入を行う。

【0100】この際、不純物は第1回目と同様にイオンドーピング法によって行い、更に注入する不純物は前記第1回目より低濃度で行う。

【0101】これにより、先の実施の形態と同じくLDD構造のポリシリコンが形成されることとなる。

【0102】しかる後、先の実施の形態と同様の手順で薄膜トランジスタが完成される。

10 【0103】(第4の実施の形態) 本実施の形態は、唯一層のフォトリソレジストであるのは先の第3の実施の形態に似るも、露光の内容とネガ型のフォトリソレジストを使用する点が大きく異なる。

【0104】図7に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容について説明する。

【0105】(1) 第1、第2及び第3の実施の形態と同様に、ガラス基板1上にレーザーアニールによって多結晶化され、そして所定の形状に島化されたポリシリコン層21を形成し、更にこのポリシリコン層を覆うようにして、ゲート絶縁膜3とAl、Mo、Ta等の金属層48を形成する。しかる後、先の第3の実施の形態と異なり、ネガ型のフォトリソレジスト80を通常の膜厚(1〜2μm)より厚め(例えば3〜6μm)に塗布し、更にこの塗布したフォトリソレジストの規定のプリベークを行う。

【0106】(2) ゲート電極を形成するため、ぬきパターンのフォトリソマスク90を用いて露光し、ネガ型フォトリソレジストのフォトリソグラフィを行う。この際、ガラス基板1上のネガ型のフォトリソレジストの表面とフォトリソマスクの間隔HLを広くしてフォトリソレジスト上の焦点をずらし、露光照射光が広がるようにする。この結果、このフォトリソレジストは平行光ではなくフォトリソマスク開口パターンより広がった状態で露光される。なおこの場合、孔の寸法が小さいだけに光の回折作用による拡がりも生じる。

【0107】(3) フォトリソレジストを現像し、ゲート電極に対応してパターン化する。ところで、フォトリソマスク開口パターンより広がった状態で露光されたため、残ったフォトリソレジスト810の側面には下拡がりとなるテーパ角が生じ、その断面形状はほぼテーパ状となる。

【0108】(4) フォトリソレジスト810をマスクとして金属層48のエッチングを行い、仮のゲート電極4を形成する。

【0109】(5) この仮のゲート電極4をマスクとして、リンを用いてイオンドーピング法により第1回目の不純物の注入を行う。この際、高濃度で注入する。これにより、仮のゲート電極4の直下のポリシリコン層には、不純物が全く注入されず、この一方、そのチャネル



方向両側には高濃度に不純物が注入される。

【0110】(6) 例えば $O_2$ やオゾンによるアッシング等のエッチング法によりフォトリソレジスト820を等方的にアッシングして後退させ、仮のゲート電極4両端部の表面を露出させる。

【0111】以下、先の実施の形態と同様にして薄膜トランジスタが完成される。

【0112】(第5の実施の形態)本実施の形態も、先の2つの実施に形態と同じく、1層のレジストを塗布するが、いわゆる溶融型である点に特徴がある。

【0113】図8に、本実施の形態の薄膜トランジスタの製造方法を示す。以下本図を参照しつつその内容について説明する。

【0114】(1) 先の各実施の形態と同様に、ガラス基板1上に多結晶かつ島化したポリシリコン層2これを覆うゲート絶縁膜3、Al、Mo、Ta等の金属層48を形成する。更に、その上面に、感光特性を有し、しかも120～200℃の加熱によって溶融(高分子であるため、より厳密には軟化との中間の溶融)し、このためパターン形状が表面張力の作用の基で顕著に変形する溶融型レジスト85を塗布する。なお、この際溶融型レジストとしては、本実施の形態では主にCCDデバイス素子のマイクロレンズ形成で使用されるメルトフロー型レジストを使用している。このレジストは、所定温度の加熱で材料自体が容易に溶融し、溶融後の断面は、後に図示するように角が丸みを持ち、ゲート電極に接していない自由表面が半球状となる。

【0115】この下で、ゲート電極を形成するためのフォトリソマスク9を用いて露光する。

【0116】(2) 溶融型レジストのフォトリソグラフィを行う。

【0117】(3) 120～200℃で溶融型レジストの熱処理を行なう。さて、この溶融型レジストは上述の理由によりこの熱処理時の温度で金属層48上で半球状に変形する。次に、この溶融で変形した形状を保持するためポストバークを200～250℃の温度で行う。

【0118】(4) 溶融型レジストをマスクとして金属層48のエッチングを行い、仮のゲート電極4を形成する。

【0119】(5) この仮のゲート電極4をマスクとして先の各実施の形態と同様に第1回目の不純物の注入を行う。

【0120】(6) 先の各実施の形態と同じく、例えば $O_2$ 、オゾンによるアッシング等のエッチングにより、溶融型レジストを半球形の中心方向に等方にアッシングして後退させ、ゲート電極4のチャンネル方向両端部の表面を露出させる。

【0121】以下、先の各実施の形態と同様、薄膜トランジスタが完成する。

【0122】なお本実施の形態の変形例として、仮のゲ

ート電極形成前、レジストのみが孤立化された段階で加熱溶融により、半球状化させても良い。

【0123】(第6の実施の形態)本実施の形態は、単一のレジスト層の熱収縮を利用するものである。

【0124】図9に、本実施の形態の薄膜トランジスタの製造方法の要部を示す。以下本図を参照しつつ、本実施の形態の製造方法を説明する。

【0125】(1) 仮のゲート電極4上に孤立化したレジスト81の在る状態で、基板全体をレジストから定まる所定の高温に晒す。

【0126】(2) レジストの上部840は熱で収縮するが、下部830は仮のゲート電極に拘束され収縮しないためレジストのチャンネル方向断面は下拡がりの台形となる。

【0127】(3) レジストのチャンネル方向両端をアッシングにより除去する。なおこの際、上部は密度が高いためアッシングにより除去される長さ(或いは厚さ)は小さいが、下部は密度が低く引張力も存在するため比較的速く除去される。このため、ゲート電極両端のエッチング除去の際も好都合となる。

【0128】なお、本実施の形態の変形として、ゲート電極形成用金属膜のパターン化前、すなわちレジストが形成すべき仮のゲート電極に対応してパターン化、あるいは孤立化された段階で熱収縮させることにより、チャンネル方向断面を台形としても良い。

【0129】(第7の実施の形態)本実施の形態は、仮のゲート電極形成のためパターン化されたレジストのチャンネル方向両側に傾斜を形成することに関する。

【0130】図10に、本実施の形態の薄膜トランジスタの製造方法の要部を示す。以下、本図を参照しつつ本実施の形態の製造方法を説明する。

【0131】(1) レジスト81のドレイン側上部を $O_2$ 若しくは $O_3$ に晒し、そのドレイン側上部端面を丸める。なお、下部はガスが滞留し、またとなりのレジストの影となるため、そう除去されない。

【0132】(2) 次に、ソース側上部を $O_2$ 若しくは $O_3$ に晒し、そのソース側上部端面を丸める。

【0133】(3) これにより、レジストはチャンネル方向両端の頂部が削られ、ほぼ下拡がりの台形となる。

【0134】なお、本実施の形態では、パターン化されたレジストは仮のゲート電極より少し大きめとしていても良い。

【0135】(第8の実施の形態)本実施の形態は、低濃度不純物領域を有さないオフセット型薄膜トランジスタに関する。

【0136】図11に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容について説明する。

【0137】(1)～(3) 先の第2の実施の形態と同様であり、このため図示は省略する。ガラス基板上に

多結晶化した所定形状のポリシリコン層を形成し、更にこの、ポリシリコン層を覆うようゲート絶縁膜次いでAl、Mo、Ta等の金属層を形成する。

【0138】その後、ポストバークによる固化温度が異なる2種類のポジ型フォトレジストを塗布する。この際、高い温度で固化するフォトレジストを下層に、一方、低い温度で固化するフォトレジストを上層とする。更に、ゲート電極を形成するためのフォトマスクを用いて露光し、フォトレジストのフォトリソグラフィを行う。

【0139】(4) 上下2層のフォトレジストの現像を行った後、下層のフォトレジストが固化する150℃でポストバークを行う。このため、図4の(4)と同じくこのフォトレジスト834はその形状を保持した状態で固化するが、上層のフォトレジスト844は加熱収縮して側面にテーパーが生じ、断面形状がほぼ台形とする。

【0140】(5) 上下2層のフォトレジストをマスクとして金属層48のエッチングを行い、仮のゲート電極4を形成後、この形成された仮のゲート電極4をマスクとして不純物を高濃度で注入する。

【0141】(6) 例えばO<sub>2</sub>とオゾンによるアッシング等のエッチングにより上下のフォトレジストを等方的にアッシングして後退させ仮のゲート電極4のチャンネル方向両端部の表面を露出させる。

【0142】(7) 上下のフォトレジストより露出した仮のゲート電極4のチャンネル方向両端部をエッチングにて除去する。これによって除去されたゲート電極4の両側のポリシリコン層240はチャンネル領域が多少露出した構成となり、ゲート電極に対してチャンネル領域がオフセットした構成となる。

【0143】なお、オフセット型であるため、図5の(8)に示すような第2回目の不純物注入プロセスはない。

【0144】(9) 上下のフォトレジストを除去した後、ゲート電極4を覆うように層間絶縁膜(SiO<sub>x</sub>等)7を製膜する。以下、先の実施の形態と同様の手順でオフセット型のTFETが完成される。

【0145】なお、本実施の形態は、先の第2の実施の形態をもとにしたオフセット構造の薄膜トランジスタの製造方法を示したものであるが、他の第1、第3、第4及び第5の実施の形態においても、第2回目の不純物の注入をせぬことにより、同様に適用できるのは勿論である。

(第9の実施の形態) 本実施の形態は、ボトムゲート型トランジスタに関する。

【0146】図12に本実施の形態のボトムゲート型トランジスタの製造方法を示す。以下、本図に沿ってこの製造方法を説明する。

【0147】(1) 基板上にTa、Mo、Wあるいは

それらの合金からなるゲート電極4、ゲート絶縁膜3、パターン化したポリシリコン層を順に形成し、更にその上部にTiやAlからなる不純物注入時のマスク形成用金属層95、フォトレジスト層8を形成する。この基で、基板裏側より紫外線を照射し、ゲート電極をマスクとしてフォトレジスト層を露光する。

【0148】(2) ゲート電極に対応してパターン化されたレジスト81を形成する。

【0149】(3) このレジストをマスクとして金属層をドライエッチング等して、不純物注入時用の金属マスク96を形成する。

【0150】(4) 基板の表(上)側より不純物を高濃度で注入する。

【0151】(5) レジスト上部を熱収縮させ、チャネル方向側面に傾斜をつける。

【0152】(6) アッシングで、レジストのチャネル方向側面を少し後退させる。

【0153】(7) LDD領域形成用金属マスク97を形成する。

【0154】(8) 不純物を低濃度で注入する。

【0155】以下、保護絶縁膜、ソース電極、ドレイン電極、その他保護絶縁膜の形成等がなされる。

【0156】次に、図13に本実施の形態の変形例を示す。

【0157】図12では、図13の(a)に示す如くゲート電極チャンネル方向両端直上部にLDD領域245、246が形成される。

【0158】本図の(b)では、ゲート電極4の周囲に熱酸化により絶縁性酸化膜411を予め形成していた場合であり、ゲート電極4のチャンネル方向両端外側直上部にLDD領域245、246が形成される。

【0159】また、図12の(1)で焦点ずらし露光を行ない、パターン化されたレジストをゲート電極のチャンネル方向両側に少し張り出して形成すれば、図13の(c)の如きLDD領域245、246が形成される。

【0160】同じく、図12の(3)で、マスク用金属を酸化させ、図13の(3-1)に示す様に酸化部961をゲート電極のチャンネル方向両側に少し張り出させれば、図13の(c)の如きLDD領域245、246が形成される。

【0161】なお、パターン化されたポリシリコン上の保護絶縁膜7を形成してから、マスク用金属層、レジスト層を形成しても良い。図13の(1-1)や(3-1)は、この場合である。

【0162】(第10の実施の形態) 本実施の形態は第2の発明群に属し、LDD型の薄膜トランジスタを製造するに際してゲート電極を不純物注入時のマスクに使用するのとは先の第1の発明群の各実施の形態と共通するが、ゲート電極の加工に酸化を利用する点に特徴がある。



【0163】図14に、本実施の形態の薄膜トランジスタの製造方法、そして工程の進捗に伴うLDD型の薄膜トランジスタの断面構造の変化を示す。以下本図を参照しつつこの手順を説明する。

【0164】(1) ガラス板に、その内部から半導体シリコン中に汚染物室が拡散するのを防止するために、バッファ層11として $\text{SiO}_2$ 膜を被着する。このようにして形成した基板1(コーニング社製#1737ガラス)上表面に、例えばシラン( $\text{SiH}_4$ )を原料ガスとして用いた減圧CVD法により膜厚30~150nmで、アモルファス(非結晶)シリコンを形成する。更に、フォトリソグラフィとエッチングにより素子としてのトランジスタが形成される領域にのみアモルファスシリコンを残す。そして、XeClエキシマレーザアニールにより結晶化してポリシリコン層とする。次いで、そして、TEOS(Tetraethylorthosilicate:  $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ )を原料ガスとして用いたプラズマCVD法でゲート絶縁膜3となる $\text{SiO}_2$ を100nmの厚みで全面に堆積する。その後、例えばMoW合金(W濃度:15at.%)を用いて仮のゲート電極4を400nmの厚みで形成する。なおここでは、W濃度を15%としたが、これはプロセスや抵抗値等の設計要素に応じて適宜他の%としても良い。

(従って、ここまでは上下2層や溶融型等のフォトレジストへの各種処理等を除いて基本的には先の各実施の形態と同様である。)

(2) この仮のゲート電極4をマスクとして水素希釈ホスフィン( $\text{PH}_3$ )のプラズマを生成し、質量分離を行わず、加速電圧は70kV、総ドーズ量は $2 \times 10^{13} \text{ cm}^2$ と低濃度で、イオンドーピングする。これにより、ゲートマスク4直下部を除き低濃度で不純物が注入され、ひいてはそのチャンネル方向両側に低濃度不純物領域(Lightly Doped Drain)となる部分の下地が形成される。

【0165】(3) 例えば、450℃の酸素中でMoW合金の表面に酸化膜を成長させる。この際、時間、温度又は雰囲気(酸素濃度)あるいはそれらの組み合わせによってこの酸化層の厚みは微小であっても自由正確に制御が可能である。そして、本実施の形態では0.4μmの酸化層411を成長させた。また、残膜として残ったMoW合金4は約200nmであった。

【0166】(4) 金属酸化層411と残ったMoW合金4をマスクとしてポリシリコンに質量分離を行わず、加速電圧70kV、総ドーズ量は $1 \times 10^{15} \text{ cm}^2$ 、の高濃度で水素希釈ホスフィン( $\text{PH}_3$ )のプラズマを生成してドーピングする。これにより、マスクのチャンネル方向両側のポリシリコン層にソース領域25及びドレイン領域26が形成される。なお、注入したイオンの活性化であるが、同時に注入された水素による自己活性化のみによっても良いが、400℃以上でのアニー

ルやエキシマレーザ照射やRTA(Rapid Thermal Anneal)による局所的な加熱を行うのがより確実である。

【0167】なお、酸化膜はチャンネル方向内側にも形成されていくため、仮のゲート電極両端部とゲート電極両端部との中間部より内側はオフセット領域となる。

【0168】(5) 先の各実施の形態と同じく、TEOS(Tetraethylorthosilicate:  $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ )を原料ガスとして用いたプラズマCVD法で $\text{SiO}_2$ を層間絶縁膜7として全面に堆積し、次にコンタクト・ホールを形成し、ソース電極及びドレイン電極として例えばアルミニウム(Al)をスパッタ法で堆積し、その後フォトリソグラフィ・エッチングでパターン化する。また、必要に応じて保護絶縁膜70を形成する。これにより、poly-Si TFTが完成する。

【0169】なお、本実施の形態では、実際には熱酸化膜が内側にも成長するため、LDD領域以外にも(の内側にも)不純物の注入されていないいわゆるオフセット領域が存在することとなるが、このオフセット領域は不純物が注入されていないので、広い意味では不純物量が少ないとみなせる。このため、本実施の形態では、このオフセット領域もLDD領域の一部として扱う。

【0170】図15に、完成したTFTのドレイン電流のゲート電圧依存性の関係を各LDD長さ毎に示す。本図において、LDD長さが0.1μm(実線)、0.2μm(点入り実線)、0.3μm(長点線)及び0.4μm(点線)のいずれにおいても、酸化膜の厚みによってOFF電流が下がり、良好なTFT特性を示していることがわかる。

【0171】(第11の実施の形態)本実施の形態は、先の実施の形態に似るも、一旦形成された金属酸化膜を除去するものである。

【0172】図16に、本実施の形態の薄膜トランジスタの製造方法の要部を示す。以下、本図を参照しつつこの手順を追って説明する。

【0173】(1)から(4)までの処理の内容は図14に示す先の第10の実施の形態と同じである。このため、後の処理の参考となる(4)を除き、わざわざは図示していない。

【0174】(4-2) 先の(4)の後、フッ酸を用いて、ゲート電極4周囲部のMoWの酸化物を除去する。

【0175】(5) その後の処理も先の第7の実施の形態と同じである。

【0176】図17に、先の実施の形態と同じく完成したTFTのドレイン電流のゲート電圧依存性の関係を0.1μm、0.2μm、0.3μm及び0.4μmとLDD長さ毎に示す。酸化膜の厚みによってOFF電流が下がり、良好なTFT特性を示していることがわか

る。

【0177】なお、本実施の形態の変形例として、先ずゲート電極を酸化させ、高濃度で不純物を注入し、次に酸化物を除去し、その後低濃度で不純物を注入しても良い。

【0178】(第12の実施の形態)本実施の形態は、酸化したゲート金属を還元するのが先の2つの実施の形態と相違する。

【0179】図18に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容を説明する。

【0180】(1)から(4) 先の2つの実施の形態と同じ処理がなされる。このため、図14の(4)の状態をのみ示す。

【0181】(4-3) 先の(4)の処理の後、 $H_2$ 雰囲気により、酸化金属の還元がなされる。この結果、先の2つの実施の形態ではいわゆるオフセット領域が形成されたが、本実施の形態ではMoW酸化物を還元することによって、オフセットがなくなり、狭い意味でのLDD領域が形成される。

【0182】(5) 先の2つの実施の形態と同じ処理がなされ、TF Tが形成される。

【0183】図19に、完成した本実施の形態のTF Tのドレイン電流のゲート電圧依存性の関係を0.1  $\mu m$ 、0.2  $\mu m$ 、0.3  $\mu m$ 及び0.4  $\mu m$ 毎に示す。酸化膜の厚みによってOFF電流が下がり、良好なTF T特性を示していることがわかる。また、先の2つの実施の形態ではいわゆるオフセット領域が形成されたが、本実施の形態ではMoW酸化物を還元することによって、オフセットがなくなるため、先の2つの実施の形態のものよりもON電流の低下が少ない。

【0184】(第13の実施の形態)本実施の形態は、オフセット型の薄膜トランジスタに関する。

【0185】図20に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容を説明する。

【0186】(1) 仮のゲート電極4を形成する。

【0187】(2) 仮のゲート電極の外周部に酸化膜411を形成する。

【0188】(4) ゲート電極に酸化膜が所定量形成された状態で高濃度で不純物を注入する。

【0189】(4-2) 次いで、酸化膜を除去する。

【0190】以下、他の実施の形態と同様である。

【0191】(第14の実施の形態)本実施の形態は、斜め上方からの不純物の注入に関する。

【0192】図21に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容を説明する。

【0193】(1) 仮のゲート電極4を形成する。

【0194】(2) 仮のゲート電極の外周部に酸化膜

411を形成する。

【0195】(4-3) ゲート電極に酸化膜が所定量形成された状態で、比較的高電圧かつ所定の濃度でチャネル方向斜め上から不純物を注入する。

【0196】さてこの場合、不純物は高エネルギーなため、停止するまでにゲート絶縁膜やゲート電極側面の酸化金属部の下部端部の原子、分子と多数回衝突し、このため散乱されて酸化金属部の直下のポリシリコン層に侵入する。勿論、斜め上から打ち込まれているため、この効果もある。その結果、LDD領域が形成される。この様子を、(4-3)の下部に示す。

【0197】(4-4) 次いで、高濃度で不純物を注入する。

【0198】以下、他の実施の形態と同様である。また、必要に応じて酸化膜の除去もなされる。

【0199】(第15の実施の形態)本実施の形態も、先の実施の形態と同じく散乱を利用する。但し、上方からのみ不純物を注入する。

【0200】図22に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容を説明する。

【0201】(1) 仮のゲート電極4を形成する。

【0202】(2) 仮のゲート電極の外周部に酸化膜411を形成する。

【0203】(4-5) ゲート電極に酸化膜が所定量形成された状態で、比較的高電圧かつ所定の濃度で不純物を注入する。

【0204】さてこの場合、不純物は高エネルギーなため、停止するまでにゲート絶縁膜の原子、分子と多数回衝突し、このため散乱されて酸化金属部の直下のポリシリコン層に侵入する。その結果、LDD領域が形成される。この様子を、(4-5)の下部に示す。

【0205】(4-4) 次いで、必要に応じて高濃度で不純物を注入する。

【0206】以下、他の実施の形態と同様である。また、必要に応じて酸化膜の除去もなされる。

【0207】(第16の実施の形態)本実施の形態は、第2の発明群の各実施の形態で製造される各種の薄膜トランジスタを示したものである。

【0208】図23に、各実施の形態の、ゲート電極下部と様々なLDD領域とオフセット領域及びこれらとゲート電極の位置関係を示す。

【0209】本図において、太い線は、不純物の濃度を示す。4は、ソース側のゲート電極端の位置である。24は、不純物の濃度が0の領域である。25は、ソース側の高濃度領域である。245は、ソース側の低濃度領域である。245'はソース側の熱拡散あるいは散乱により形成された低濃度領域である。240は、ソース側のオフセット領域である。

【0210】これらにより、薄膜トランジスタの特性が

変化し、各種の製品に適切に適用可能となる。

【0211】（最終製品の第1の実施の形態）本実施の形態は、以上の各実施の形態の薄膜トランジスタを、ELディスプレイに使用した場合である。

【0212】図24に、ELディスプレイの代表的な構成を示す。本図において、111はガラス基板である。112が、薄膜トランジスタである。113は、絶縁層である。114は、配線電極である。115は、陰極である。117は、有機EL層である。118は、陽極である。120は、支持柱である。121は、カラーフィルターである。122は、蛍光変換層である。123は、透明板である。但し、この原理等は周知技術なので、その説明は省略する。

【0213】（最終製品の第2の実施の形態）本実施の形態は、以上の各実施の形態の薄膜トランジスタを、液晶ディスプレイに使用した場合である。

【0214】図25に、ELディスプレイの代表的な構成を示す。本図において、211はガラス基板である。212が、薄膜トランジスタである。217は、液晶層である。223は、透明板である。その他、カラーフィルター221、ブラックマトリクス223、わざわざは図示しないが配向膜、各種信号線等を有している。但し、この原理等も周知技術なので、その説明は省略する。

【0215】以上、本発明をその幾つかの実施の形態に基づいて説明してきたが、本発明は何もこれらに限定されないのは勿論である。すなわち、例えば以下のようにしても良い。

【0216】1）各実施の形態では、半導体の形成方法としてプラズマCVD法を用いたが、これはプラズマCVD以外の減圧CVD法やスパッタ法等で形成するようにしている。

【0217】2）同じく、半導体材料としてポリシリコン層を用いたが、これも非晶質シリコンや単結晶シリコンでも可能であるし、他の半導体材料、例えばゲルマニウム（Ge）やシリコン・ゲルマニウム合金（SiGe）やシリコン・ゲルマニウム・炭素等を用いている。

【0218】3）同じく、多結晶シリコンを得るため、非晶質堆積後、多結晶化をXeClエキシマレーザーを用いたが、他のArF、KrF等のエキシマレーザーやArレーザー等を用いたり、更には、600℃程度のアニールによる固相成長を行っている。なお、固相成長を行う場合には、基板として固相成長温度に耐える基板を用いるのは勿論である。

【0219】4）同じく、結晶化以降において、水素プラズマに晒したり水素アニールを行うことにより、ポリシリコン層の粒界や粒内のトラップ準位を補償して結晶性をあげる工程を付加するようにしている。

【0220】5）同じく、層間絶縁膜としてTEOSを用いたプラズマCVD法によるSiO<sub>2</sub>を用いたが、

他の方法、例えばAP-CVD（Atmospheric Pressure CVD）法によるSiO<sub>2</sub>やLTO（Low Temperature Oxide）、ECR-CVDによるSiO<sub>2</sub>等としている。また、材料として、窒化シリコンや酸化タンタル、酸化アルミニウム等を用いたり、これらの薄膜の積層構造としている。

【0221】6）同じく、ソース電極及びドレイン電極の材料としてAlを用いたが、アルミニウム（Al）、タンタル（Ta）、モリブデン（Mo）、クロム（Cr）、チタン（Ti）等の金属またはそれらの合金としたり、導電性改良のため不純物を多量に含むポリシリコンやこれとGeとの合金やITO等の透明導電層等としている。

【0222】7）同じく、不純物として、リンでなく、アクセプタとなるボロンや砒素等、ドナーとしてリン以外のアルミニウム等を選択的に用いることによりPチャンネル及びNチャンネルトランジスタを選択的に作成して、CMOS回路を基板上につくり込むようにしている。

【0223】

【発明の効果】以上の説明で判るように、本発明によれば、不純物の注入にゲート電極を利用するが、このゲート電極に化学的処理を施してそのチャネル方向長さを変化させ、その変化の前後に不純物をドーピングするため、マスクの位置あわせ等が不要となる。このためゲート電極に自己整合的に、あるいは必然的に隣接してLDD領域等が形成される。

【0224】さて、その化学的処理としてエッチングにてゲート電極を形成する際のフォトリソの形状、形成に工夫を凝らしているため、トランジスタのサイズが2～4μmと微細となっても低濃度不純物領域をきわめて微小かつ高精度に形成することができる。

【0225】また、化学的処理としてゲート電極のMoW合金に酸化膜を形成し、マスクとしての寸法を細かく制御している。このため、やはり低濃度不純物領域をきわめて微小かつ高精度に形成することができる。

【0226】また本発明では、微小な低濃度不純物領域を形成するために特別な工程を必要としないため、既存の設備で容易にかつ簡便に実施することができる。

【図面の簡単な説明】

【図1】 従来の薄膜トランジスタの断面構造を示した図である。

【図2】 本発明の第1の実施の形態の薄膜トランジスタの製造方法を示す断面図の前半である。

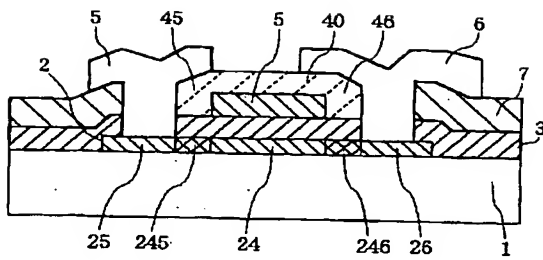
【図3】 本発明の第1の実施の形態の薄膜トランジスタの製造方法を示す断面図の後半である。

【図4】 本発明の第2の実施の形態の薄膜トランジスタの製造方法を示す断面図の前半である。

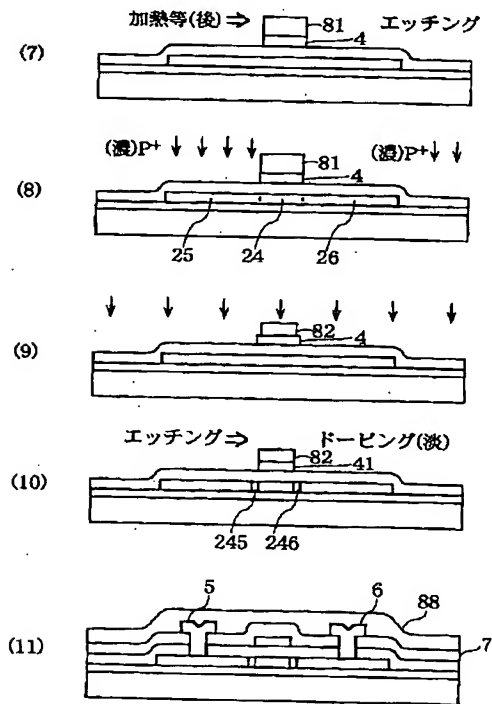
【図5】 本発明の第2の実施の形態の薄膜トランジスタ

35		36
タの製造方法を示す断面図の後半である。	1	ガラス基板
【図 6】 本発明の第 3 の実施の形態の薄膜トランジスタの製造方法を示す図である。	1 1	バッファ層 (SiO <sub>2</sub> )
【図 7】 本発明の第 4 の実施の形態の薄膜トランジスタの製造方法を示す図である。	2	(アモルファス) シリコン層
【図 8】 本発明の第 5 の実施の形態の薄膜トランジスタの製造方法を示す図である。	2 0	ポリシリコン層
【図 9】 本発明の第 6 の実施の形態の薄膜トランジスタの製造方法を示す図である。	2 1	島化したポリシリコン層
【図 10】 本発明の第 7 の実施の形態の薄膜トランジスタの製造方法を示す図である。	2 4 5、2 4 6	低濃度不純物領域 (LDD)
【図 11】 本発明の第 8 の実施の形態の薄膜トランジスタの製造方法を示す図である。	2 4	チャネル領域
【図 12】 本発明の第 9 の実施の形態の薄膜トランジスタの製造方法を示す図である。	2 4 0	オフセット領域
【図 13】 本発明の第 9 の実施の形態の変形例の薄膜トランジスタの製造方法を示す図である。	2 5	ソース領域
【図 14】 本発明の第 10 の実施の形態の薄膜トランジスタの製造方法を示す図である。	2 6	ドレイン領域
【図 15】 上記実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示した図である。	3	ゲート絶縁膜
【図 16】 本発明の第 11 の実施の形態の薄膜トランジスタの製造方法を示す図である。	4	ゲート電極、仮のゲート電極
【図 17】 上記実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示した図である。	4 0	サブゲート電極
【図 18】 本発明の第 12 の実施の形態の薄膜トランジスタの製造方法を示す図である。	4 1	仮のゲート電極をエッチングしたゲート電極
【図 19】 本発明の第 12 の実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示した図である。	4 1 1	酸化膜
【図 20】 本発明の第 13 の実施の形態の薄膜トランジスタの製造方法を示す図である。	4 5	サブゲート電極のソース電極側食み出
【図 21】 本発明の第 14 の実施の形態の薄膜トランジスタの製造方法を示す図である。	し部	サブゲート電極のドレイン電極側食み
【図 22】 本発明の第 15 の実施の形態の薄膜トランジスタの製造方法を示す図である。	4 6	ゲート電極用金属層
【図 23】 本発明の様々な実施の形態の薄膜トランジスタの要部を示す図である。	20 出し部	ソース電極
【図 24】 本発明の実施の形態の薄膜トランジスタを使用した EL ディスプレイの構成図である。	4 8	ドレイン電極
【図 25】 本発明の実施の形態の薄膜トランジスタを使用した液晶ディスプレイの構成図である。	5	層間絶縁膜
【符号の説明】	6	フォトレジスト
	7	フォトレジスト (ネガ型)
	8	フォトレジスト (パターン化後)
	8 0	台形のフォトレジスト
	8 1	フォトレジスト (アッシング後)
	8 1 0	台形のフォトレジスト (アッシング後)
	8 2	フォトレジスト (下層)
	30 8 2 0	フォトレジスト (上層)
	後)	台形のフォトレジスト (上層)
	8 3	溶融型フォトレジスト
	8 4	保護膜
	8 4 4	フォトマスク
	8 5	ぬき型フォトマスク
	8 8	不純物注入時のマスク形成用金属膜
	9	不純物注入時の金属マスク
	9 0	不純物注入時の金属マスクの酸化部
	9 5	LDD 領域形成用金属マスク
	40 9 6	
	9 6 1	
	9 7	

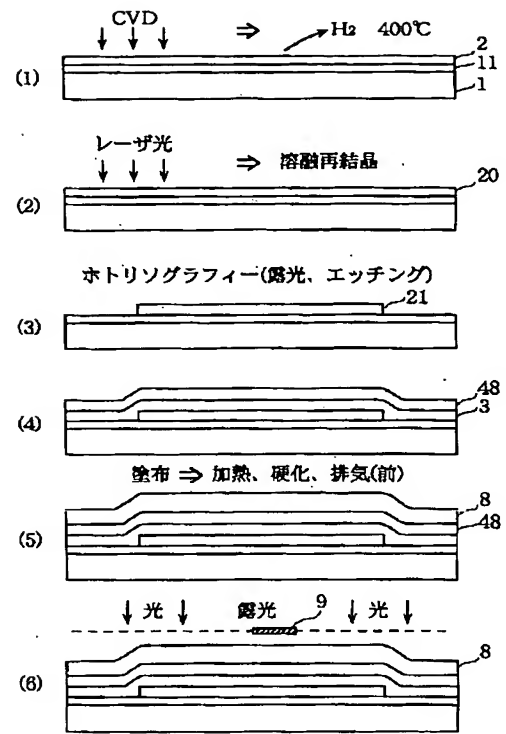
【図1】



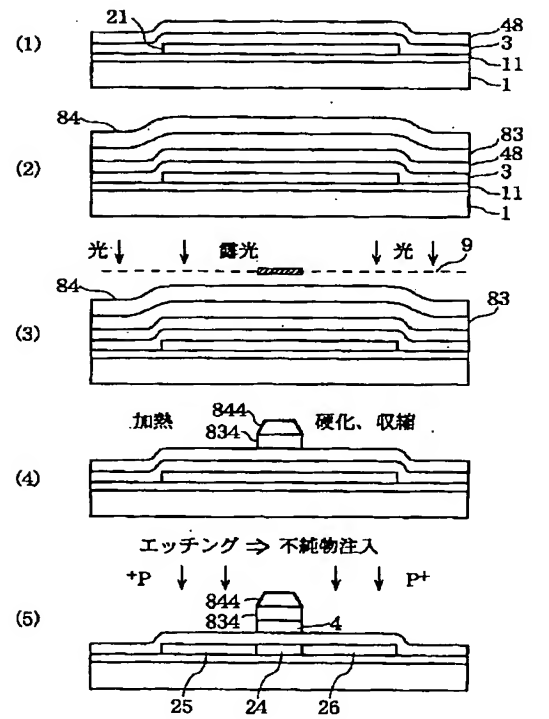
【図3】



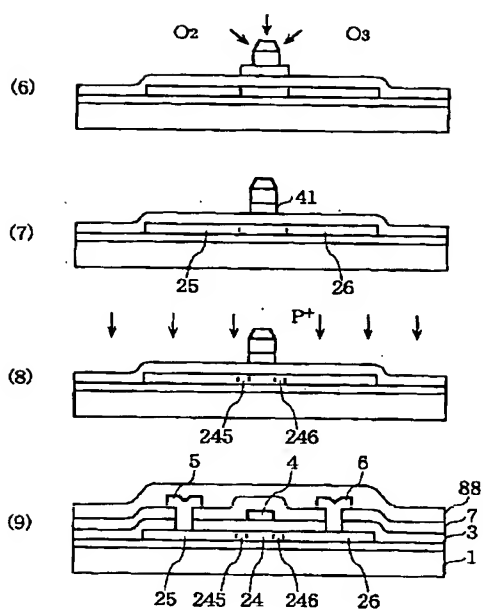
【図2】



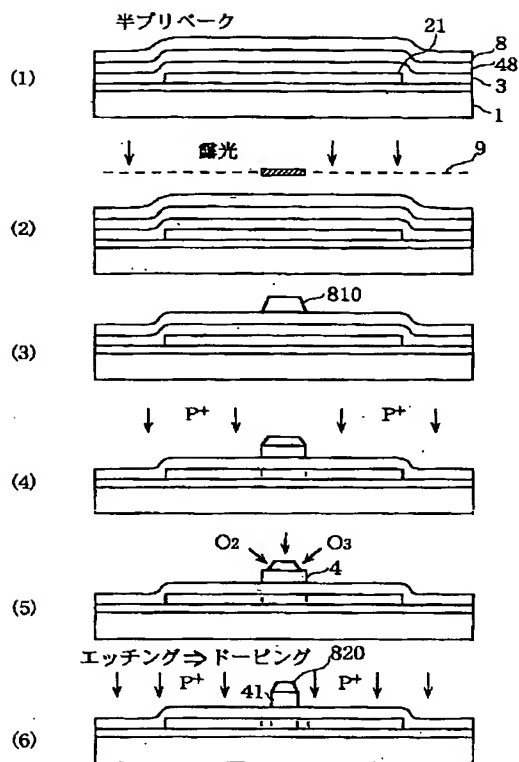
【図4】



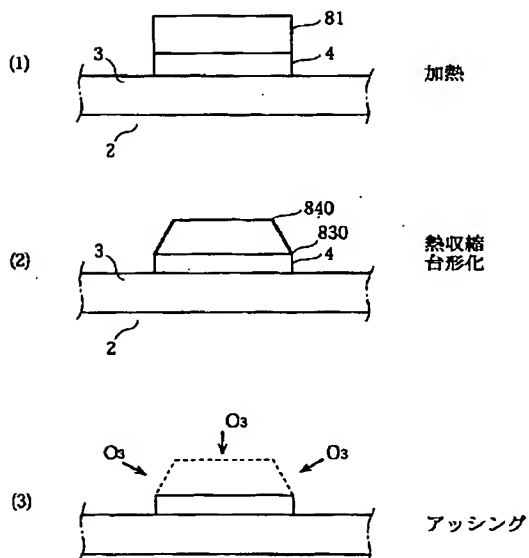
【図5】



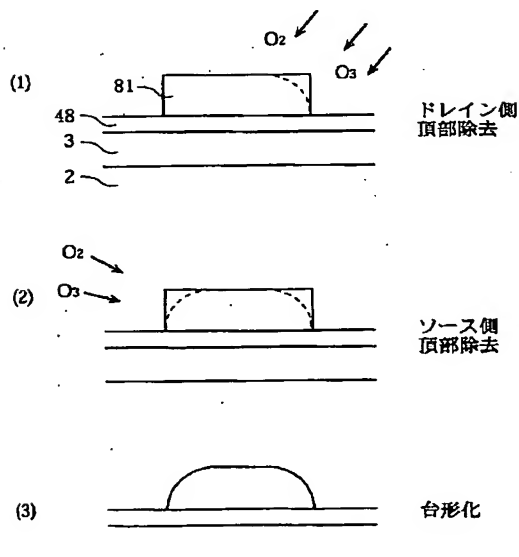
【図6】



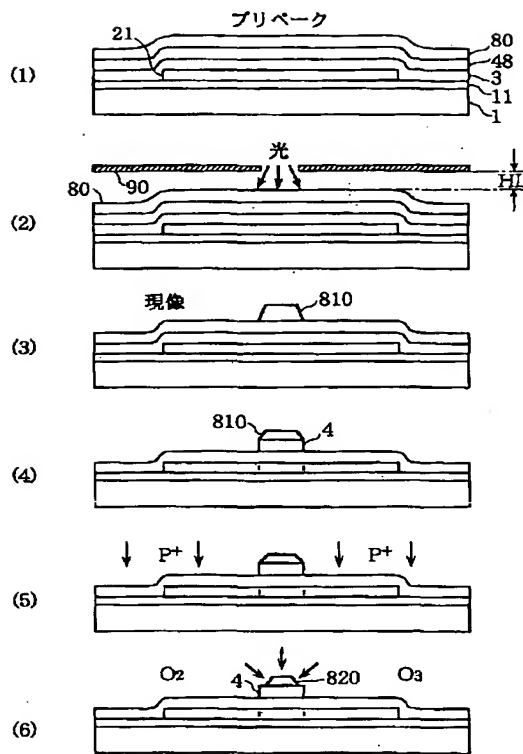
【図9】



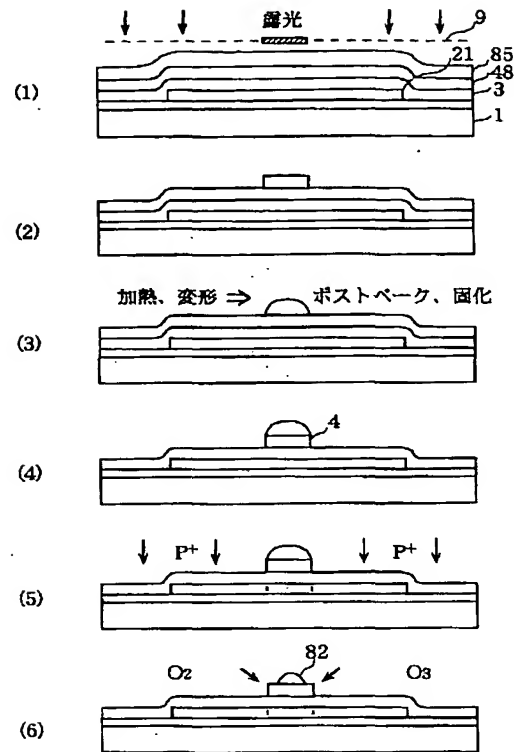
【図10】



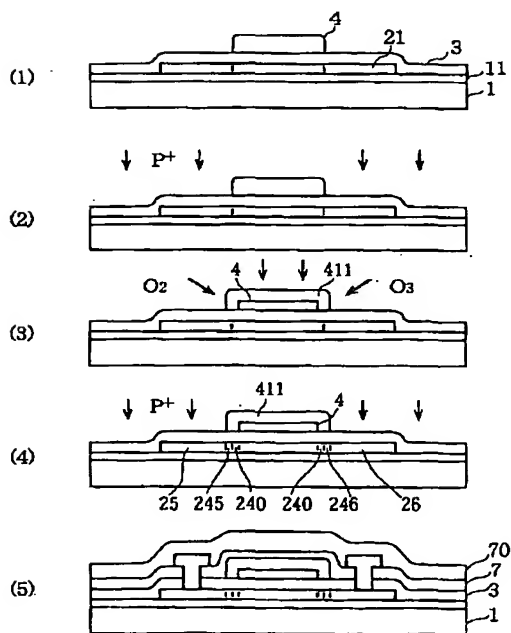
【図7】



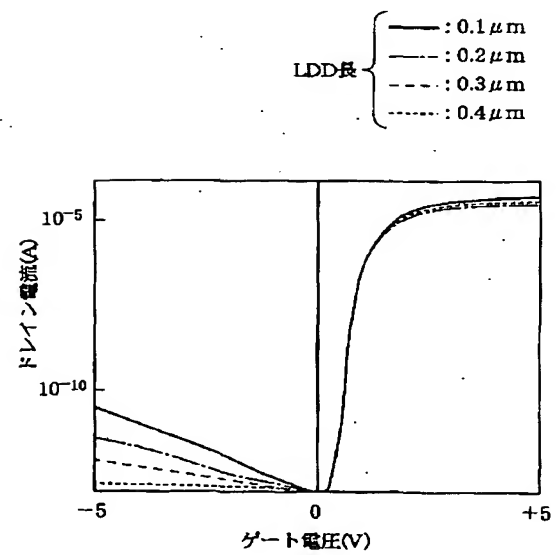
【図8】



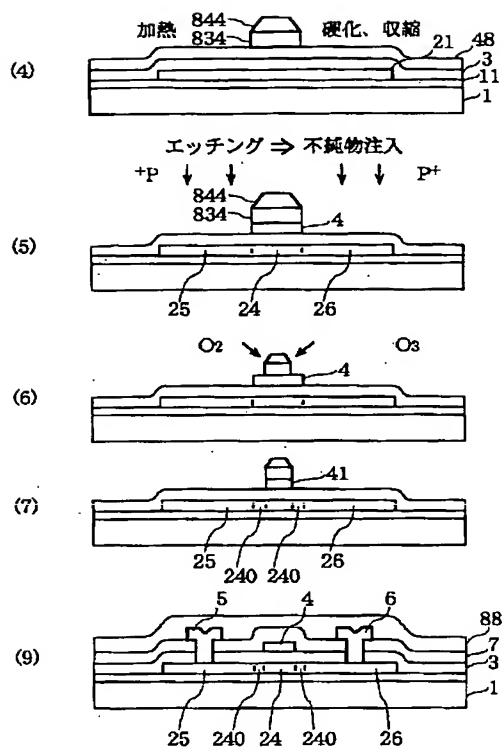
【図14】



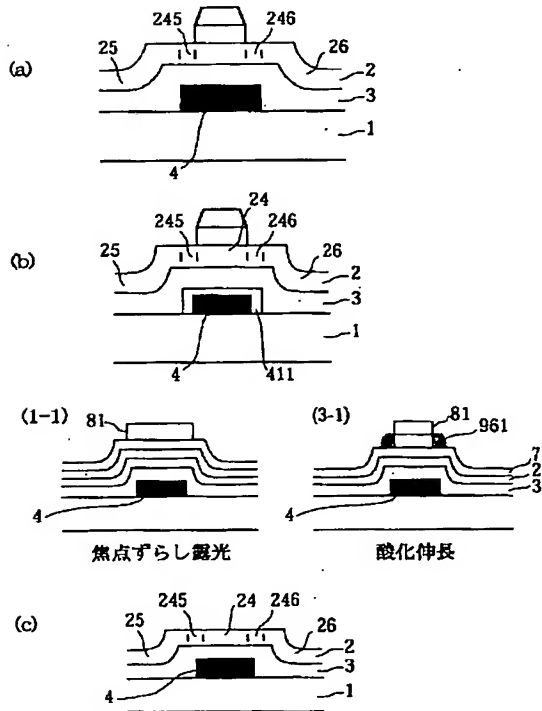
【図15】



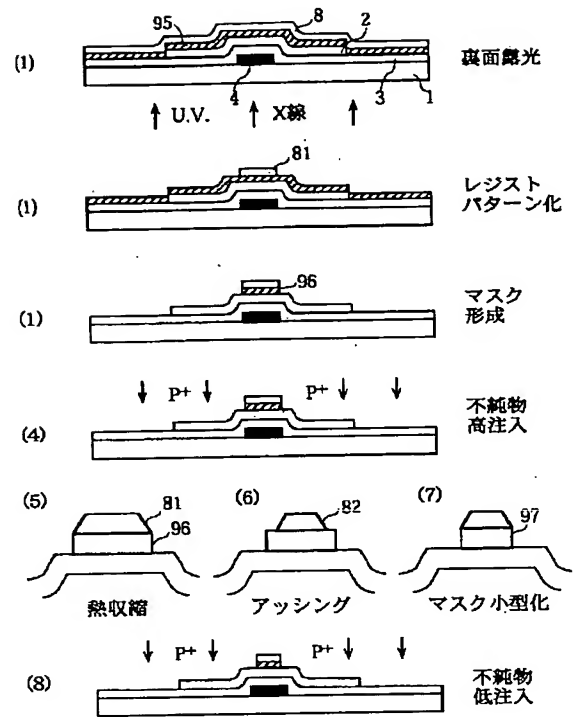
【図11】



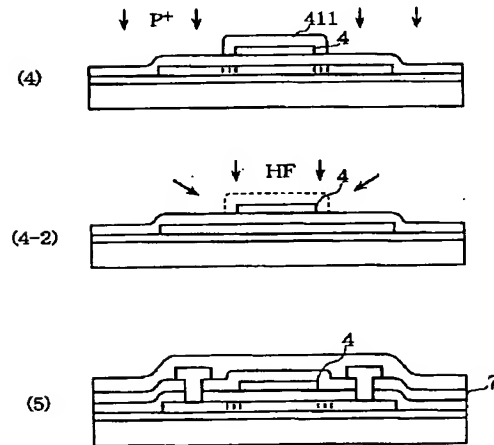
【図13】



【図12】

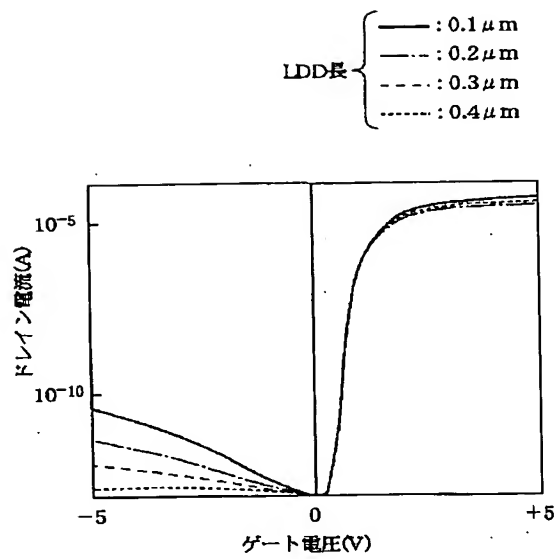


【図16】

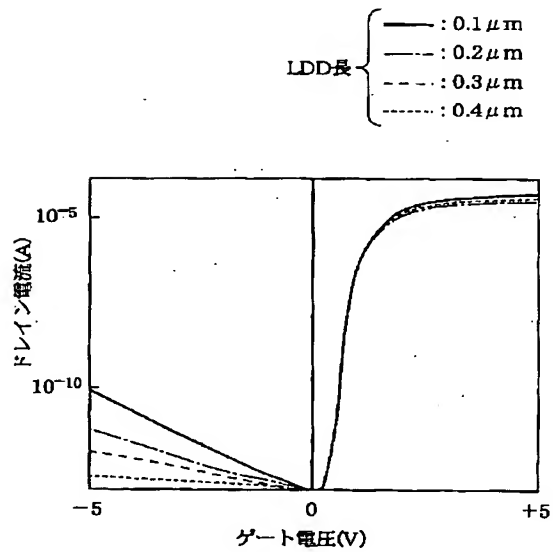




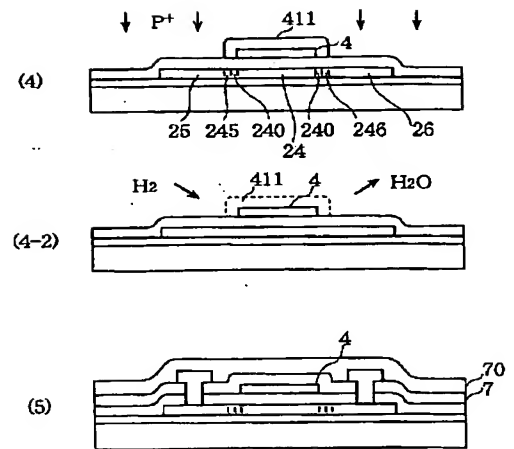
【図17】



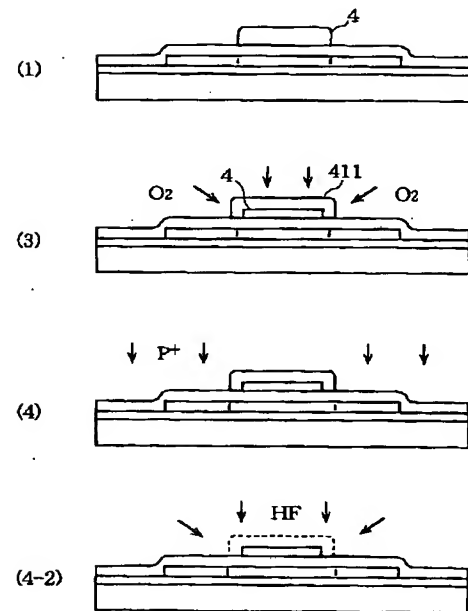
【図19】



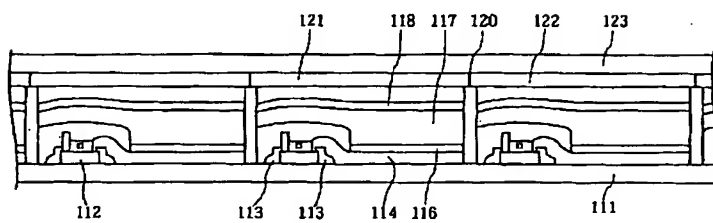
【図18】



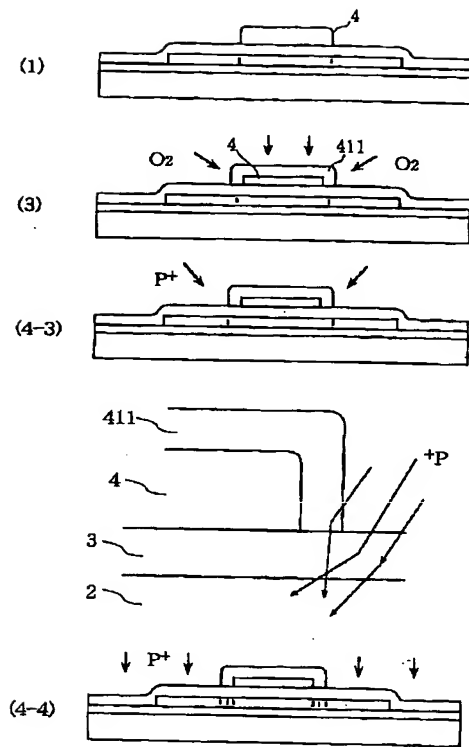
【図20】



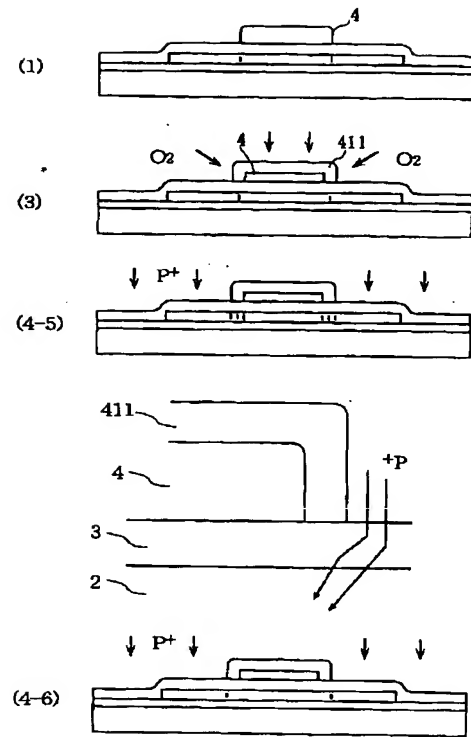
【図24】



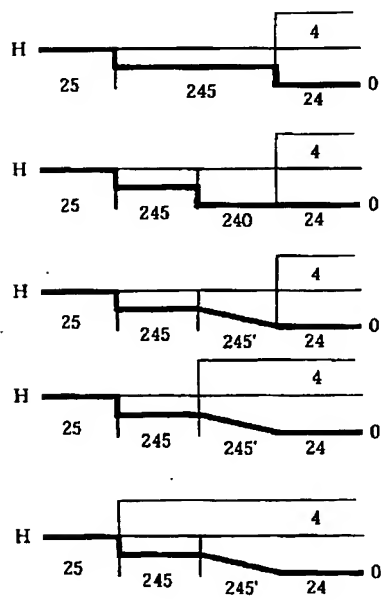
【図21】



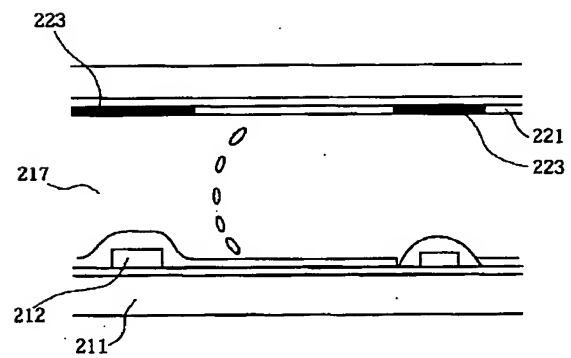
【図22】



【図23】



【図25】



## フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G 0 9 F 9/30	3 3 8	H O 1 L 21/30	5 1 4 C
H O 1 L 21/027			5 7 6
21/3065		21/302	J
		29/78	6 1 7 A
(72)発明者 河北 哲郎		(72)発明者 武富 義尚	
大阪府門真市大字門真1006番地 松下電器		京都府京田辺市山手東1-16-13	
産業株式会社内			